

SE
356

REVIIJA ZA ELEKTRONIKO, AVTOMATIKO, RAČUNALNIŠTVO IN TELEKOMUNIKACIJE

svet ELEKTRONIKE

ISSN 1318-4679



9 771318 467014

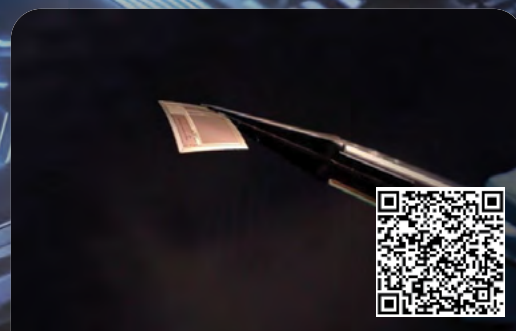


letnik XXXIII
november 2026
števila 356
cena:

5,50 €



**Raziskovalci izkoriščajo
atomske nepravilnosti za
razvoj baterij z daljšo
življenjsko dobo**



**Silicijevi čipi v možganih:
nova generacija vmesnika**

**AI modeliranje mikrofonskega
predojačevalnika**

**Pametno kmetijstvo in kako tehnologija IMU
pomaga nahraniti svet**

RoboBees: avtonomni leteči mikroroboti

**Izbira komponent za merjenje hitrih
prehodnih pojavov in širokega razpona toka**



**Praktične izkušnje z
mikrokontrolerjem ESP32P4
podjetja Espressif:
M5Stack TAB5**

Deli, ki jih prodajamo, nam pomagajo doseči zvezde

Ko smo prvič začeli raziskovati onstran varnega zavetja jam, smo postali raziskovalci narave. Strast do odkrivanja neznanega, ki leži za naslednjim hribom, obzorjem ali zvezdo, je v naših genih.

Naši deli in storitve poganjajo novo dobo raziskovanja. Tako kot vi, komaj čakamo, da vidimo, kaj prinaša.



Milijoni delov vas čakajo na digikey.si

DigiKey

we get technical

DigiKey je pooblaščen distributer za vse partnerske dobavitelje. Dnevno dodajamo nove izdelke. © 2026 DigiKey Electronics, 701 Brooks Ave. South, Thief River Falls, MN 56701, ZDA

 **ECIA MEMBER**
Supporting The Authorized Channel

UVODNIK

- 4 Vas je kaj strah?

Jurij Mikeln

NOVICE

- 5 Cableteque je Areka Rataja imenoval za Head of EMEA, ki bo vodil rast podjetja v Evropi
<https://cableteque.com>
- 6 Raziskovalci izkoriščajo atomske nepravilnosti za razvoj baterij z daljšo življenjsko dobo
<https://news.stanford.edu/>
- 7 Silicijevi čipi v možganih: nova generacija vmesnika med možgani in računalnikom
<https://www.engineering.columbia.edu>
- 10 Zgradite pametnejše in bolj odporne 48-voltné napajalne sisteme z energetsko učinkovitim digitalnim nadzorom napajanja
<https://www.microchip.com>
- 11 RoboBees: avtonomni leteči mikroroboti
<https://wyss.harvard.edu>

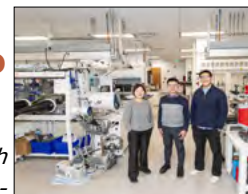
PREDSTAVLJAMO

- 12 Pametno kmetijstvo in kako tehnologija IMU pomaga nahraniti svet
<https://www.analog.com>
- 15 Vodnik po kibernetiki varnosti RED-DA za proizvajalce brezžičnih IoT naprav
Avtor: Abhinav Venuturumilli
<https://www.microchip.com>
- 18 Izbira komponent za merjenje hitrih prehodnih pojavov in širokega razpona toka v podatkovnih centrih za umetno inteligenco
Avtor: Rolf Horn
<https://www.digikey.com>
- 22 RFID moduli in čitalniki od ELATEC – od avtorizacije operaterja do Pametne Tovarne
<https://www.tme.eu>
- 25 Signal pred inteligenco
Avtor: Karthi Gopalan
<https://www.renesas.com>
- 28 Varnost električnih naprav - 3. del: Plazilna razdalja
Avtor: Izr. prof. dr. Marko Jankovec
<https://fe.uni-lj.si>

PROGRAMIRANJE

- 31 FPGA integrirana vezja in simulacije
Avtor: Klemen Bravhar
- 38 Praktične izkušnje z mikrokontrolerjem ESP32P4 podjetja Espressif - 2.del: M5Stack TAB5
Avtor: Brian Millier
- 47 AI modeliranje mikrofonskega predojačevalnika na osnovi čipa EMD4DXV6T1
Avtor: dr. Simon Vavpotič

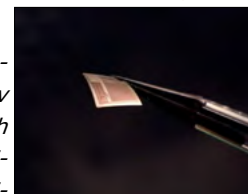
Raziskovalci izkoriščajo atomske nepravilnosti za razvoj baterij z daljšo življenjsko dobo



Z motnjo atomske strukture litij-ionskih baterij so raziskovalci iz SLAC-a odpravili raztezanje in krčenje, ki povzročata poslabšanje zmogljivosti. Od podatkovnih centrov do električnega omrežja – povpraševanje po boljših in trajnejših baterijah je večje kot kdaj koli prej...

Stran:6

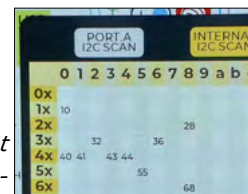
Silicijevi čipi v možganih: nova generacija vmesnika med možgani in računalnikom



Novi vsadek, izdelan v obliki enega samega čipa, je za več velikostnih redov hitrejši in manjši od najsodobnejših vmesnikov med možgani in računalnikom, kar odpira možnosti za učinkovitejše zdravljenje številnih nevroloških bolezni. Nov možganski vsadek bo verjetno spremenil način interakcije med...

Stran:7

Praktične izkušnje z mikrokontrolerjem ESP32P4



V svojem zadnjem članku v reviji Svet Elektrike sem predstavil dve novi razvojni plošči ESP32P4, ki sem ju kupil: Waveshare ESP32-P4-WI-FI6 in ViewE ESP32-P4-Pi-VIEWE. V 1. delu sem preizkusil številne funkcije ESP32P4 in preveril...

Stran:38

AI modeliranje mikrofonskega predojačevalnika na osnovi čipa EMD4DXV6T1



Modeliranje mikrofonskega predojačevalnika na osnovi čipa EMD4DXV6T1 s pomočjo umetne inteligence (AI) in simulacije v okolju LTspice predstavlja sodoben in učinkovit inženirski pristop, ki združuje klasično ročno načrtovanje z naprednimi...

Stran:47



Fotografija na naslovnici vlr: www.microchip.com



Jurij Mikeln

Vas je kaj strah?

Pozdravljene drage bralke in bralci!

Ali vas je kaj strah prihodnosti? Da se bo umetna inteligenca (UI) razširila preko vseh meja in bo znanstveno fantastični film Terminator postal realnost?

Na to vprašanje ta trenutek ne zna odgovoriti nihče od nas. Vprašanje je tudi, ali znajo odgovoriti nanj tudi avtorji UI, kot so Elon Musk in podobni. Dejstvo je, da se izredno hiter razvoj dogaja tako rekoč pred našimi očmi. Ne samo na področju UI, tudi druga področja elektronike se razvijajo izjemno hitro. Med drugim so to t.i. nevronske čipi, o katerih pišemo v tokratni reviji. Ne rečem – marsikatero bolezen bi verjetno lahko zdravili s temi nevronskimi čipi. Če pa se to tehnologijo uporabi proti človeštvu – no, to bi bila pa potem druga zgodba, katere konca ne bi rad niti videl, niti doživel.

Tokrat vas nagovarjam predzadnjič. Številke na naslovnici to jasno nakazujejo. Številka 1 na tokratni naslovnici pomeni, da bo izšla le še ena številka revije Svet elektronike v tiskani obliki – decembrska številka. Morda se bo v vmesnem času še kaj spremenilo, ampak zaenkrat vse kaže na to, da tiskane revije Svet elektronike ne bo več. V vseh teh letih smo natisnili 356 števil. Vsak mesec (razen poleti) smo naročnikom poslali revijo. V tem času smo v reviji objavili množico člankov, v reviji je pisalo mnogo avtorjev. Marsikdo od vas, ki bere te vrstice, je bil avtor zanimivih člankov in prav vsem se moram zahvaliti, v svojem imenu in v imenu naših bralcev, za vaš doprinos k širjenju poljudnega in tudi strokovnega elektrotehničnega znanja, saj so v reviji Svet elektronike objavljali tudi univerzitetni profesorji.

Tudi država Slovenija je prispevala nekaj sredstev v podporo izdajanju revije Svet elektronike, za kar se ji zahvaljujem. Državno podporo smo izgubili z Golobovo vlado, ki je razpis za subvencioniranje tako nepremišljeno spremenila, da je veliko majhnih založnikov izpadlo iz razpisa. K sreči nas niso zapustili naši zvesti oglaševalci, večina iz tujine, in tako izpad državne podpore ni pomenil konca revije s prihodom Golobove vlade.

Kaj boste lahko prebrali v tokratni številki? Pripravili smo nekaj zanimivih člankov. Poleg novice nevronskega čipa, ki sem jo omenil na začetku tega uvodnika, boste v reviji našli članek prof. Jankovca, ki razloži, kaj je plazilna razdalja na tiskanem vezju.

V članku podjetja Analog Devices pa boste lahko prebrali, kaj so to inertni senzorji, oziroma kako zagotavljati točnost lokacije nekega predmeta brez GPS signalov.

V reviji je še več zanimivih člankov, zato si le priskrbite svoj (predzadnji tiskani) izvod.

Lep pozdrav!
Jure

REVIJA ZA ELEKTRONIKO,
AVTOMATIKO,
RAČUNALNIŠTVO
IN TELEKOMUNIKACIJE

Ustanovljena leta 1994, izhaja mesečno, 11 števil letno, julij/avgust ena številka.

Glavni in odgovorni urednik:
JURIJ MIKELN, dipl.inž.
Tel.: 01 549 14 00
E-pošta: stik@svet-el.si

Tehnični urednik:
DTP studio AX d.o.o.
E-pošta: dtp@svet-el.si

Prodajni servis, naročnine:
E-pošta: prodaja04@svet-el.si

Marketing:
Tel: 01 549 14 00
E-pošta: stik@svet-el.si

Antivirusni program: PANDA security

Založnik in računalniški prelom:
AX ELEKTRONIKA d.o.o.
Depala vas 39, 1230 Domžale

Direktor:
JURIJ MIKELN, dipl.inž.

Tisk:
Tiskano v Sloveniji
Naklada do: 1.500 izvodov
ISSN 1318 4679

Spletna revija:
<https://svet-el.si>

Cena za posamezni izvod je 5,50 EUR, za letno naročnino priznavamo 25% popust za dijake in študente s potrdilom o šolanju, 20% popust ostalim fizičnim osebam ter 10% popust za podjetja. Za revijo Svet elektronike se plačuje in obračunava 5% DDV.

Uredništvo ne odgovarja za škodo, ki bi nastala zaradi nestrokovnega sestavljanja in uporabe naprav, ki so opisane v reviji, zaradi napak avtorjev ali napak v tisku. Uredništvo si pridržuje vse pravice do projektov, opisanih v reviji. Dovoljuje se izdelava naprav za lastno uporabo, prepoveduje pa se kakršnakoli reprodukcija projektov ali posameznih delov revije brez pisanega soglasja uredništva.



Električni pastir

Pašni aparat majhne in srednje moči. Za domače živali (psi, mačke) ali za večje živali (ovce, koze, konje). Možen dokup tudi različnih dodatkov.



<https://svet-el.si> Kode: 5ELU0056, 5ELU0059,...

Cableteque je Areka Rataja imenoval za Head of EMEA, ki bo vodil rast podjetja v Evropi

Cableteque

Nekdanji direktor pri podjetju DigiKey se ekipi pridružuje tik pred sejmom electronica v Münchnu. Vodil bo prodajo in partnerstva s proizvajalci kabljskih snopov in kabljskih sklopov v Evropi, na Bližnjem vzhodu in v Afriki.

Cableteque, operacijski sistem za industrijo kabljskih snopov (Wire Harness Operating System), ki povezuje celoten ekosistem te industrije, je danes objavil, da je Areka Rataja imenoval na položaj Head of EMEA. Rataj bo deloval s Poljske in vodil prodajo ter partnerstva s proizvajalci kabljskih snopov in kabljskih sklopov ter s prodajnimi partnerji v celotni regiji.



Imenovanje sledi nedavni širitvi podjetja Cableteque v Evropo in podjetju zagotavlja izkušenega vodjo iz panoge neposredno v regiji, še pred sejmom electronica v Münchnu, ki bo potekal od 10. do 13. novembra.



»Ko smo napovedali vstop v Evropo, sem dejal, da se težave ne ustavijo na meji. Zato potrebujemo nekoga v regiji,« je povedal Arik Vrobel, izvršni direktor in ustanovitelj podjetja Cableteque. »Arek je vso svojo kariero preživel v evropski dobavni verigi elektronike. Pozna proizvajalce in distributerje ter ve, kako se tukaj sprejemajo odločitve. Prav takšnega človeka smo potrebovali na tem položaju.«

Dve desetletji v dobavni verigi elektronike

Rataj ima skoraj 20 let izkušenj na področju elektronskih komponent in proizvodnje elektronike. Dvanajst let je zasedal direktorske položaje pri podjetju DigiKey, kjer je vodil razvoj poslovanja v srednji in vzhodni Evropi ter tesno sodeloval s proizvajalci OEM, ponudniki storitev EMS in inženirskimi ekipami po vsej regiji. Pred tem je delal v podjetjih Arrow Electronics in Kimball Electronics, zato dobavno verigo pozna iz prve roke, tako s strani distribucije kot proizvodnje.

Nazadnje je deloval kot neodvisni svetovalec za EMS in zahodnim proizvajalcem OEM pomagal najti kvalificirane pogodbene proizvajalce v srednji in vzhodni Evropi ter z njimi vzpostaviti sodelovanje. Je sovoditelj podkasta No Lids No Limits o umetni inteligenci v proizvodnji elektronike in avtor novičnika The EE Signal.

»Od evropskih proizvajalcev kabljskih snopov se pričakuje, da bodo ponudbe pripravljali hitreje in natančneje, pogosto

na podlagi nepopolnih risb in povpraševanj (RFQ),« je povedal Rataj. »Cableteque povezuje inženiring, dobavno verigo in proizvodnjo na eni platformi, razviti posebej za kabljske snope. Veselim se, da bom proizvajalcem pokazal, kako je to videti v praksi, začeni na sejmu electronica.«

Pripravljeni za evropske proizvajalce že danes

Rataj se pridružuje v času, ko evropski temelji podjetja Cableteque dobivajo obliko:

- *Hramba podatkov v EU. Podatki evropskih strank se lahko gostijo v regiji AWS Europe Central.*
- *ISO 27001. Certifikat nameravamo pridobiti decembra 2026.*
- *Odnosi z evropskimi distributerji. Avnet Europe, Abacus Europe, TTI Europe, IEWC Europe in Wiremaster Europe zagotavljajo neposredne, izpogajane cene.*
- *Lokalizacija. Prevajanje z umetno inteligenco v glavne evropske jezike in vgrajena pretvorba valut.*

Srečajmo se na sejmu electronica

Arek Rataj in ekipa Cableteque bosta na sejmu electronica v Münchnu, v dvorani C5 na razstavnem prostoru 430, skupaj s podjetjem CalcuQuote. Vabljeni na predstavitev izdelka v živo in srečanja z evropskimi proizvajalci kabljskih snopov in proizvajalci OEM. Rezervirajte sestanek tukaj.



O podjetju Cableteque

Cableteque je operacijski sistem za industrijo kabljskih snopov (Wire Harness Operating System), ki povezuje celoten ekosistem te industrije. Inženiring in dobavno verigo združuje na eni platformi, avtomatizira pretok informacij in strankam zagotavlja konkurenčno prednost s hitrejšimi ponudbami, bolj premišljenimi odločitvami ter učinkovitejšo nabavo in upravljanjem zalog. Cableteque podpira proizvajalce kabljskih snopov in proizvajalce OEM v Severni Ameriki in Evropi v letalski, obrambni, medicinski in industrijski panogi. Več informacij na cableteque.com.



<https://cableteque.com>

Raziskovalci izkoriščajo atomske nepravilnosti za razvoj baterij z daljšo življenjsko dobo

Stanford University

Z motnjo atomske strukture litij-ionskih baterij so raziskovalci iz SLAC-a odpravili raztezanje in krčenje, ki povzročata poslabšanje zmogljivosti.

Od podatkovnih centrov do električnega omrežja – povpraševanje po boljših in trajnejših baterijah je večje kot kdaj koli prej.

Sodobna tehnologija baterij pa se spopada s problemom poslabšanja zmogljivosti. Pri litij-ionskih baterijah se na primer materiali v njih med vsakim ciklom razširjajo in krčijo, kar sčasoma povzroči njihovo poškodbo in skrajša življenjsko dobo baterije.

V centru SLAC-Stanford Battery Center [1], ki je plod sodelovanja med Precourtovim inštitutom za energijo Univerze Stanford in Nacionalnim pospeševalnim laboratorijem SLAC [2] Ministrstva za energijo, raziskovalci delajo na tem, da bi to spremenili na atomski ravni.

Raziskovalna skupina je ugotovila, da lahko z vnosom nadzorovane količine delne neurejenosti v materiale za litij-ionske baterije ustvarijo stabilne baterijske materiale, ki se ne širijo niti ne krčijo.

Ekipo je v reviji *Nature Energy** [3] objavila raziskavo, ki je pokazala, da imajo te baterije potencial za daljšo življenjsko dobo kot tiste, ki se uporabljajo danes.

Ugotovitve so del širših prizadevanj centra za razvoj novih pravil oblikovanja na atomski ravni za shranjevanje energije naslednje generacije.

»Naša zasnova je ključna za odpravo raztezanja in krčenja, ki pestita litij-ionske baterije,« je dejal Junghwa Lee, nekdanji podoktorski raziskovalec na Stanfordski univerzi in v Nacionalnem pospeševalnem laboratoriju SLAC, ki je skupaj z Zhelongom Jiangom, znanstvenim sodelavcem v SLAC-u, prvi avtor študije. »Upamo, da bo ta zasnova podlaga za novo paradigmo na področju baterij.«

Slojna struktura, podprta s stebri: nova zasnova stabilne katodne strukture

Zgradba baterije na splošno vključuje dve elektrodi: anodo, ki med polnjenjem baterije zadržuje ione, in katodo, v katero se ioni sproščajo med praznjenjem baterije. Elektrolitska raztopina med polnjenjem in praznjenjem prenaša ione sem in tja.

Energetska gostota baterije je v glavnem odvisna od sestave katode. Ena od pogostih izvedb katode temelji na slojnih oksidnih materialih, ki so sestavljeni iz izmeničnih slojev litija in prehodnih kovin, med katerimi jih povezujejo kisikovi ioni.

Čeprav so ti sloji učinkoviti za shranjevanje energije, se med polnjenjem in praznjenjem baterije pogosto krčijo in raztezajo. Zaradi tega se baterija sčasoma obrabi in na koncu je neuporabna.

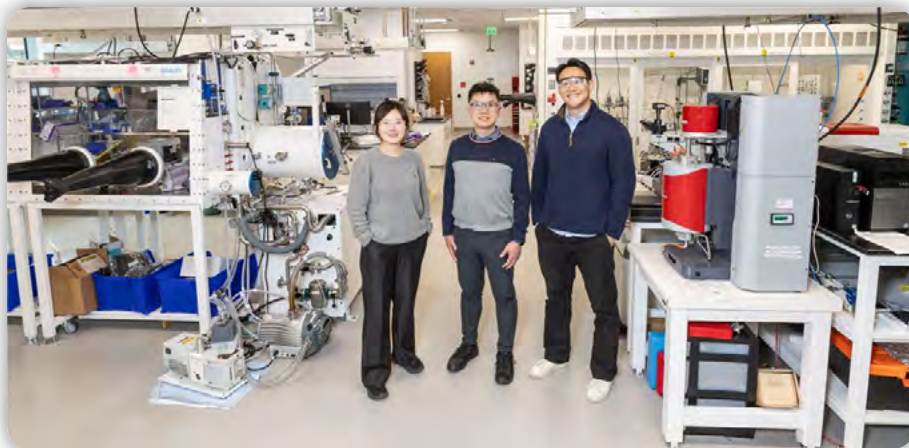
»Ta katoda iz večplastnega oksida se široko uporablja, zato ta njena strukturna nestabilnost predstavlja velik problem za visoko energijsko gostoto in dolgotrajno delovanje baterij,« je dejal William Chueh, direktor Stanford Precourt Institute for Energy, direktor SLAC-Stanford Battery Center ter profesor znanosti o materialih in inženirstva ter energetskih znanosti in inženirstva na Stanfordski univerzi, ki je vodil raziskavo.

Da bi se izognili temu krčenju, so Chueh in njegova ekipa začeli pri osnovah. Niso se hoteli zanašati na nove materiale in zapletene spremembe sestave, ki bi jih bilo težko vključiti v sedanji proizvodni proces baterij.

Namesto tega so se osredotočili na široko uporabljen katodni material – nikljev slojni oksid – in na atomski ravni spremenili način, kako so atomi razporejeni v slojih. Raziskovalci so že vedeli, da se struktura skrči, ko se med polnjenjem baterije iz katode odstrani litij. Vstavljanje atomov, ki niso litijevi, v sloj je ena od strategij za preprečevanje tega krčenja.

»Vendar pa namesto da bi za preprečevanje sesutja mreže uporabili tuje atome, smo uporabili prav obstoječe nikljeve atome,« je dejal Lee.

Ekipo je med prvim polnjenjem baterije sprostila majhno količino kisika, kar je povzročilo, da se je del niklja preselil med atomske plasti. Ti nikljevi atomi so oblikovali »stebre«, ki zagotavljajo dodatno strukturno podporo plastični strukturi katode.



Slika: Raziskovalci v SLAC-Stanford Battery Center. Z leve: Junghwa Lee, Zhelong Jiang in Nicolas B. Liang. | Jacqueline Ramseyer Orrell, vir: SLAC National Accelerator Laboratory

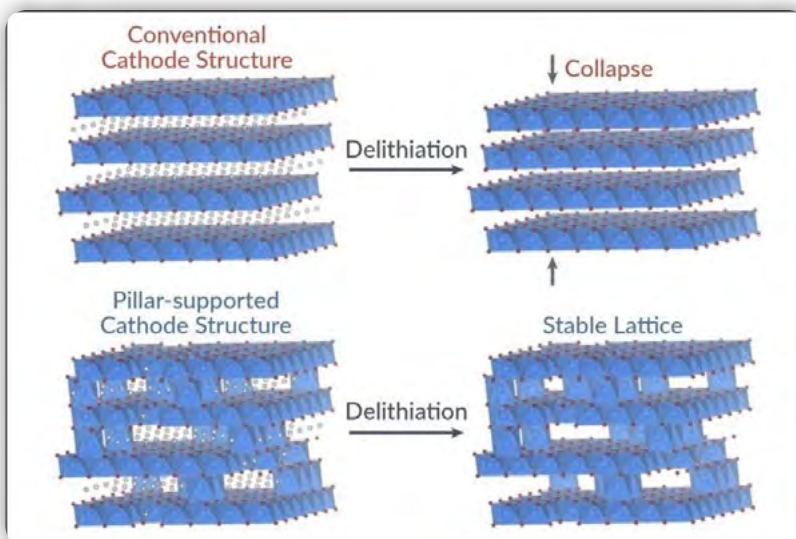
Za preverjanje teh rezultatov je ekipa uporabila Stanfordov vir sinhronskega sevanja (SSRL) v SLAC-u, kjer so z izjemno močnimi rentgenskimi žarki preučevali materiale na atomski in molekularni ravni, kar je prineslo neposredne dokaze za namerno sproščanje kisika in posledično stabilizacijo materiala.

Ta stabilna struktura katodnega materiala se doseže s preprostim korakom elektrokemijske aktivacije med prvim ciklom, zaradi česar je zelo primerna za proizvodnjo, je dejal Lee, saj »vsak korak vključuje postopke, ki so že industrijski standard, zato obstaja potencial za povečanje obsega proizvodnje«.

V prihodnje ekipa namerava še dodatno optimizirati zasnovo in povečati gostoto moči katode – torej hitrost, s katero lahko sprošča energijo, hkrati pa preizkušati tudi druge potencialne materiale. V okviru širše misije centra SLAC, Stanford Battery Center je cilj izkoristiti prednosti tako SLAC-a kot Stanforda za povečanje razpoložljivosti virov energije in izboljšanje energetske odpornosti.

Med drugimi institucijami, vključenimi v raziskavo, so Korejski inštitut za znanost in tehnologijo ter Univerza Kyung Hee v Republiki Koreji; Univerza Kalifornije v Santa Barbari; Nacionalni laboratorij Argonne; ter podjetje BASF SE v Nemčiji. Velik del tega dela sta podprla Kalifornijska raziskovalna zveza (California Research Alliance) in Urad za kritične minerale in energetske inovacije Ministrstva za energijo ZDA. SSRL je uporabniška ustanova Urada za znanost Ministrstva za energijo ZDA.

Navajanje: J. Lee in sod., Nature Energy, 27. november 2025
(10.1038/s41560-025-01910-w)



Slika: Klasični katodni material (zgoraj) je sestavljen iz izmeničnih plasti litija in prehodnih kovin, ki jih med seboj povezujejo kisikovi atomi. Vendar pa polnjenje in praznjenje povzročata propad mrežaste strukture, kar omejuje življenjsko dobo materiala. Raziskovalci iz SLAC-a so zdaj spremenili način razporeditve atomov v tej strukturi (spodaj) in ustvarili stebre, ki jo stabilizirajo med cikliranjem baterije. Vir: J. Lee et al., Nature Energy, 27. november 2025

Viri:

- 1: <https://batterycenter.slac.stanford.edu/>
- 2: <https://www6.slac.stanford.edu/>
- 3: <https://www.nature.com/articles/s41560-025-01910-w>



<https://news.stanford.edu/>



 COLUMBIA ENGINEERING

Silicijevi čipi v možganih: nova generacija vmesnika med možgani in računalnikom

Engineering Columbia

Novi vsadek, izdelan v obliki enega samega čipa, je za več velikostnih redov hitrejši in manjši od najsodobnejših vmesnikov med možgani in računalnikom, kar odpira možnosti za učinkovitejše zdravljenje številnih nevroloških bolezni.

Nov možganski vsadek bo verjetno spremenil način interakcije med človekom in računalnikom ter razširil možnosti zdravljenja nevroloških bolezni, kot so epilepsija, poškodba hrbtenjače, ALS, možganska kap in slepota – s tem bo pomagal obvladovati napade ter obnoviti motorične, govorne in vidne funkcije. To

se doseže z zagotovitvijo minimalno invazivne informacijske povezave z visoko pasovno širino, ki poteka neposredno do možganov in iz njih.

Preoblikovalni potencial tega novega sistema leži v njegovi majhnosti in zmožnosti prenosa podatkov z visokimi hitrostmi.

Ta vmesnik med možgani in računalnikom (BCI), ki so ga razvili raziskovalci na Kolumbijski univerzi, v bolnišnici NewYork-Presbyterian, na Stanfordski univerzi in na Univerzi v Pensilvaniji, temelji na enem samem silicijevem čipu. Z njegovo pomočjo se vzpostavi brezžično povezavo z visoko pasovno širino med možgani in katerim koli zunanjim računalnikom. Platforma se imenuje Biological Interface System to Cortex (BISC).

Sistem BISC, opisan v študiji [1], objavljeni 8. decembra v reviji **Nature Electronics**, vključuje enočipni vsadek, nosljivo »relejno postajo« in prilagojeno programsko opremo, potrebno za delovanje sistema. »Večina sistemov za vsaditev je zasnovana okoli ohišja z elektroniko, ki v telesu zavzema ogromno prostora,« pravi Ken Shepard [2], profesor elektrotehnike na katedri Lau Family, profesor biomedicinske tehnike in profesor nevroloških znanosti na Univerzi Columbia, ki je eden od glavnih avtorjev te raziskave in je vodil inženirska prizadevanja. »Naš vsadek je en sam čip z integriranim vezjem, ki je tako tanek, da se lahko vstavlja v prostor med možgani in lobanjo, kjer leži na možganih kot kos vlažnega papirnatega robčka.« Shepardu se je pri projektu BISC pridružil Andreas S. Tolia, PhD [3], profesor na Byers Eye Institute na Stanfordski univerzi in soustanovitelj ter direktor projekta Enigma, ki je bil tudi eden od glavnih avtorjev in soavtorjev članka. Toliasovo pionirsko delo na področju usposabljanja modelov umetne inteligence na obsežnih nevronskih podatkovnih naborih – vključno s podatkovnimi nabori, posnetimi v Toliasovem laboratoriju z uporabo BISC – je omogočilo ekipi, da oceni zmogljivost nevronskega dekodiranja naprave. »BISC spreminja površino možganske skorje v učinkovit portal, ki omogoča komunikacijo z umetno inteligenco in zunanjimi napravami z visoko pasovno širino ter minimalno invazivnim branjem in zapisovanjem,« pravi Tolia. »Njegova skalabilnost na enem čipu utira pot prilagodljivim nevroprotezam in vmesnikom med možgani in umetno inteligenco za zdravljenje številnih nevropsihiatričnih motenj, kot je epilepsija.«

Dr. Brett Youngerman [4], docent nevrokirurgije na Univerzi

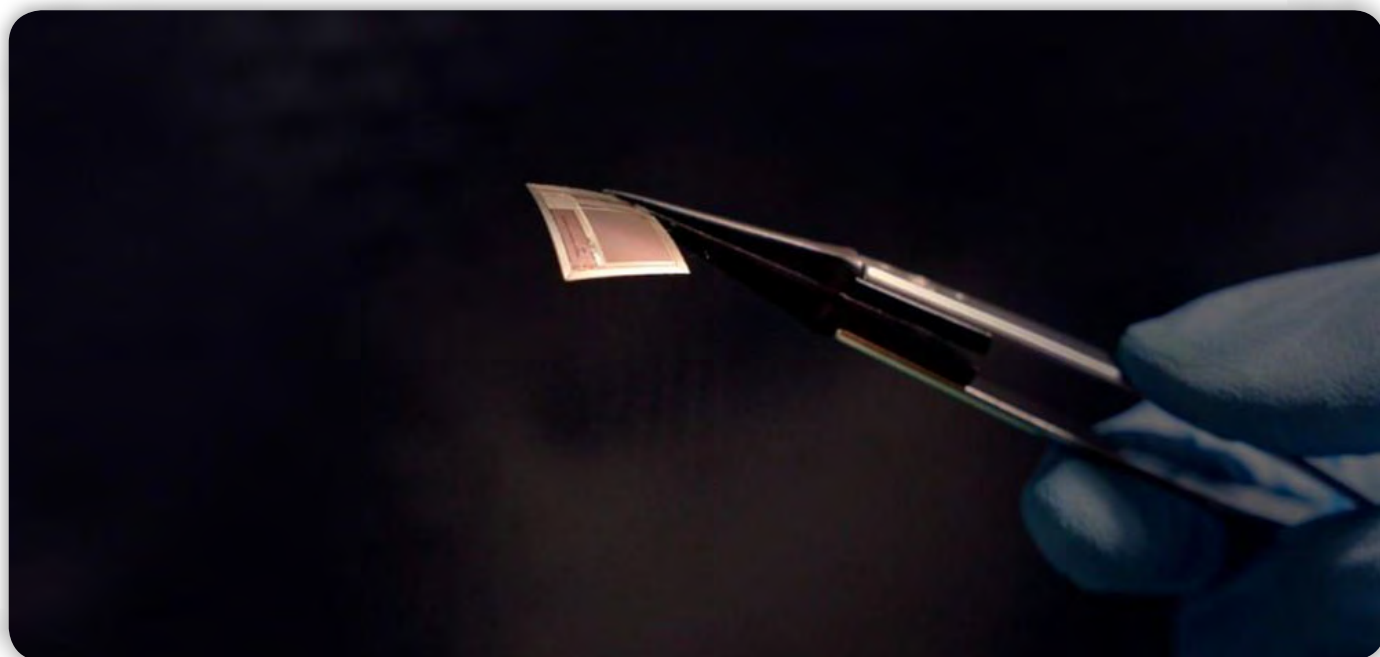
Columbia in nevrokirurg v zdravstvenem centru NewYork-Presbyterian/Columbia University Irving Medical Center, je bil glavni klinični sodelavec pri tem projektu. »Ta naprava z visoko ločljivostjo in visoko prepustnostjo podatkov ima potencial, da revolucionira obravnavo nevroloških bolezni, od epilepsije do paralize,« pravi Youngerman, Shepard in nevrologinja za epilepsijo iz bolnišnice NewYork-Presbyterian/Columbia, dr. Catherine Schevon, so pred kratkim prejeli subvencijo Nacionalnih inštitutov za zdravje za uvedbo sistema BISC v zdravljenje epilepsije, odporne na zdravljenje. »Ključ do učinkovitih naprav za vmesnik med možgani in računalnikom je v maksimiranju pretoka informacij v možgane in iz njih, hkrati pa je treba poskrbeti, da je kirurška implantacija naprave čim manj invazivna. BISC na obeh področjih presega prejšnjo tehnologijo,« nadaljuje Youngerman.

»To je omogočila polprevodniška tehnologija, zaradi katere se računska moč računalnikov, velikih kot soba, zdaj zmesti v vaš žep,« pravi Shepard. »Enako počnemo zdaj tudi pri medicinskih vsadkih, kar omogoča, da zapletena elektronika deluje v telesu, pri tem pa zavzema zelo malo prostora.«

Manjši, varnejši in hitrejši

BCI-ji delujejo tako, da se povezujejo z električnimi signali, ki jih nevroni uporabljajo za prenos informacij po možganih. Najsodobnejši BCI-ji, ki se danes uporabljajo v medicinskih okoliščinah, so sestavljeni iz posameznih mikroelektronskih komponent, med katerimi so ojačevalniki, pretvorniki podatkov, radijski oddajniki in vezja za upravljanje napajanja. Da bi lahko vgradili vse te naprave, je treba v telo kirurško vsaditi velik elektronski modul, bodisi z odstranitvijo dela lobanje bodisi z vgradnjo naprave na drugo mesto, na primer v prsni koš, in z napeljevanjem žic do možganov.

BISC deluje drugače. Celoten vsadek, ki zavzema manj kot 1/1000 velikosti običajne naprave, je en sam čip s CMOS integriranim vezjem, ki je tanek le 50 μm . S skupno prostornino približno 3 mm^3 se fleksibilen čip prilagaja površini možganov.



Slika: Implantat BISC, prikazan na sliki, je debel približno toliko kot človeški las. Vir: Columbia Engineering

Ta naprava za mikroelektrokortikografijo (μ ECoG) združuje 65.536 elektrod, 1.024 kanalov za sočasno snemanje in 16.384 kanalov za stimulacijo. Z izkoriščanjem tehnologij za masovno proizvodnjo, razvitih v polprevodniški industriji, je mogoče te vsadke enostavno proizvajati v velikih količinah.

Vgrajeni čip vključuje radijski sprejemnik/oddajnik, vezje za brezžično napajanje, digitalno krmiljenje, upravljanje porabe energije, pretvorbo podatkov ter analogna vezja, potrebna za podporo vmesnikov za snemanje in stimulacijo. Relejna postaja, ki jo napaja baterija, napaja implantat in komunicira z njim, pri čemer prenaša podatke prek posebej prilagojene radijske povezave z ultraširokim pasom, ki dosega pasovno širino 100 Mbps – to je povezava s pretokom, ki je vsaj 100-krat višji od katere koli konkurenčne BCI brezžične naprave. Relejna postaja je sama po sebi WiFi naprava standarda 802.11, ki dejansko vzpostavlja posredno brezžično omrežno povezavo med katerim koli računalnikom in možgani.

BISC ima lasten nabor ukazov, ki ga podpira obsežen sklop programske opreme; skupaj tvorita računalniško arhitekturo, zasnovano za vmesnike možgani-računalnik (BCI). Kot je bilo prikazano v tej študiji, te zmogljivosti snemanja z visoko pasovno širino omogočajo, da se vzorci možganskih signalov posredujejo v napredne okvire strojnega učenja ali globokega učenja za dekodiranje zapletenih namer, zaznav ali stanj.

»Z vgradnjo vseh komponent na en sam silicijev čip smo pokazali, kako lahko vmesniki z možgani postanejo manjši, varnejši in bistveno zmogljivejši,« pravi Shepard. Implantat BISC je bil izdelan z uporabo vsestranske tehnologije Bipolar-CMOS-DMOS (BCD) podjetja TSMC z 0,13 μ m.

Ta proizvodni proces združuje tri tehnologije na enem samem čipu, s čimer ustvarja integrirana vezja z mešanimi signali. Ta integracija omogoča učinkovito kombinacijo digitalne logike (iz CMOS), analognih funkcij z visokim tokom in visoko napetostjo (iz bipolarnih in DMOS tranzistorjev) ter močnostnih elementov (iz DMOS), ki so vsi bistveni za BISC.

Od laboratorija do klinike

Da bi to tehnologijo omogočili zdravnikom in pacientom, je Shepardova skupina tesno sodelovala z Youngermanom iz NewYork-Presbyterian/Columbia University Irving Medical Center. Skupaj so izpopolnili kirurške metode za varno vsaditev naprave, tanke kot papir, v predkliničnem modelu ter dokazali njeno kakovost snemanja in stabilnost, kot je opisano v tej študiji. Trenutno potekajo študije na ljudeh za kratkoročno intraoperativno snemanje.

»Te začetne študije nam prinašajo neprecenljive podatke o delovanju naprave v dejanskem kirurškem okolju,« pravi Youngerman. »Implantate je mogoče vstaviti prek minimalno invazivnega reza v lobanji in jih neposredno namestiti na površino možganov v subduralnem prostoru. Oblika, tanka kot papir, ter odsotnost elektrod, ki bi prodirale v možgane, ali žic, ki bi implantat pritrjevale na lobanjo, zmanjšujeta reakcijo tkiva in poslabšanje signala s časom.«

Obsežno predklinično testiranje metode BISC v motorični in vizualni skorji je potekalo v sodelovanju z dr. Toliasom in Bijanom Pesaranom, profesorjem nevrokirurgije na Univerzi v Pensilvaniji, ki sta vodilna strokovnjaka na področju računalniške in sistemske nevroznanosti.

»Izjemna miniaturizacija, ki jo je dosegel BISC, je zelo obe-

tavna kot platforma za nove generacije tehnologij za vsadke, ki se z možgani povezujejo tudi prek drugih načinov, kot sta svetloba in zvok,« pravi Pesaran.

Projekt BISC, razvit v okviru programa »Neural Engineering System Design« Agencije za napredne obrambne raziskovalne projekte (DARPA), združuje prednosti Univerze Columbia na področju mikroelektronike, najnovejše dosežke na področju nevroznanosti Univerz Stanford in Penn ter kirurške inovacije zdravstvenega centra NewYork-Presbyterian/Columbia University Irving Medical Center.

Na poti k uporabi v praksi

Da bi pospešili razvoj, sta ekipi iz Columbijе in Stanforda ustanovili podjetje Kampto Neurotech, spin-off podjetje, ki ga je ustanovil dr. Nanyu Zeng, diplomant elektrotehnike na Columbiji in eden od vodilnih inženirjev projekta. Kampto Neurotech razvija komercialne različice čipa za predklinične raziskovalne namene ter zbira sredstva za nadaljnji razvoj sistema za uporabo pri ljudeh.

»To je povsem drugačen način izdelave BCI naprav,« pravi Zeng. »Na ta način ima BISC tehnološke zmogljivosti, ki za več redov velikosti presegajo zmogljivosti konkurenčnih naprav.« V tehnološkem okolju, ki ga zaznamujejo napredki na področju umetne inteligence, so BCI tehnologije v zadnjem času vzbudile precejšnje zanimanje tako pri ponovni vzpostavitvi funkcionalnosti pri osebah z nevrološkimi motnjami kot tudi pri potencialnem razširjanju človeških zmožnosti z zagotavljanjem neposrednih vmesnikov do možganov.

»Z združevanjem nevroalnega snemanja z izjemno visoko ločljivostjo in popolnoma brezžičnim delovanjem ter s kombinacijo naprednih algoritmov za dekodiranje in stimulacijo se približujemo prihodnosti, v kateri bodo možgani in sistemi umetne inteligence lahko nemoteno sodelovali – ne le v raziskovalne namene, temveč tudi v korist ljudi,« pravi Shepard. »To bi lahko spremenilo način zdravljenja možganskih motenj, način našega sodelovanja s stroji in na koncu tudi način, kako ljudje sodelujejo z umetno inteligenco.«

Financiranje/Zahvale: To delo je bilo delno podprto s strani Agencije za napredne obrambne raziskovalne projekte (DARPA) v okviru pogodbe N66001-17-C-4001, Programa za medicinske raziskave Ministrstva za obrambo, ki ga usmerja Kongres, v okviru pogodbe HT9425-23-1-0758, Nacionalne znanstvene fundacije v okviru subvencije 1546296 ter Nacionalnih inštitutov za zdravje v okviru subvencije R01DC01949.

Viri:

- 1: [https://urldefense.com/v3/__https://www.nature.com/articles/s41928-025-01509-9__;!!B-DUFV1Et5IrpZQ!UIzFPafy__FMqxD1X8vDQ9svPo-OH4hJ7F_EcoRhPVbvWfHisF3tOs36I-Ept9jFF7ymRiynEf9xCu4lfsYZ73vZBIbw\\$](https://urldefense.com/v3/__https://www.nature.com/articles/s41928-025-01509-9__;!!B-DUFV1Et5IrpZQ!UIzFPafy__FMqxD1X8vDQ9svPo-OH4hJ7F_EcoRhPVbvWfHisF3tOs36I-Ept9jFF7ymRiynEf9xCu4lfsYZ73vZBIbw$)
- 2: <https://bioee.ee.columbia.edu/lab-member/ken-shepard/>
- 3: <https://toliaslab.org/>
- 4: <https://doctors.columbia.edu/us/new-york/brett-evan-youngerman-md-710-west-168th-street>



<https://www.engineering.columbia.edu>

Zgradite pametnejše in bolj odporne 48-voltne napajalne sisteme z energetsko učinkovitim digitalnim nadzorom napajanja

Microchip Technology Inc.

Novi 65 V digitalni močnostni monitorji projektantom omogočajo spremljanje podatkov o akumulirani energiji, da bi izboljšali odzivnost sistema v aplikacijah, ki zahtevajo tudi večji merilni razpon in zaščito pred napetostnimi konicami.

Ker se avtomobilska industrija, področje umetne inteligence in podatkovnih centrov, omrežja ter industrijski sistemi hitro preusmerjajo k 48-voltnim napajalnim arhitekturam, da bi izboljšali učinkovitost in zadovoljili večje zahteve po moči, projektanti potrebujejo več kot le vpogled v trenutne napetostne in tokovne razmere. Potrebujemo sisteme, ki razumejo porabo energije v daljšem časovnem obdobju in se lahko inteligentno odzivajo na spreminjajoče se napajalne razmere. Podjetje Microchip Technology (Nasdaq: MCHP) je predstavilo družini 65-voltnih digitalnih monitorjev porabe energije PAC1761 in PAC1861, ki združujeta dolgoletne izkušnje na področju merjenja porabe energije z nujnim merilnim razponom za visoke napetosti in zmogljivosti za zaščito pred napetostnimi konicami, s čimer prispevajo k večji učinkovitosti in odpornosti 48-voltnih napajalnih arhitektur. Prehod na 48-voltne napajalne arhitekture zahteva, da imajo digitalni monitorji napajanja dodatno delovno rezervo za merjenje do 65 V ter zaščito pred napetostnimi konicami do 75 V, da se zagotovi odpornost proti prehodnim pojavom. Napravi PAC1761 in PAC1861 te zmogljivosti dopolnjujeta z zmoglostjo, da na podlagi zbranih podatkov o merjenju moči v realnem času razumeta dinamiko porabe energije in se nanjo odzivata. »Razprava v industriji se premika od merjenja moči v posameznem trenutku k razumevanju in odzivanju na energetsko obnašanje v celotnem sistemu in njegovem življenjskem ciklu,« je dejal Keith Pazul, podpredsednik poslovne enote za linearne mešane signale pri podjetju Microchip. »Družini PAC1761 in PAC1861 sta zasnovani tako, da strankam pomagata pri gradnji zmogljivejših in zanesljivejših 48-voltnih sistemov, ki lahko merijo trenutne razmere ter spremljajo porabo energije in njeno razpoložljivost skozi čas.«

»Te prilagodljive rešitve z nizko porabo energije zmanjšujejo stroške spremljanja in vključujejo možnosti ohišij, združljivih po priključkih, ki povečujejo prožnost izbire virov ter hkrati zmanjšujejo tveganje pri načrtovanju.«

Digitalne naprave za nadzor moči podjetja Microchip ponujajo programirljiva opozorila ob odstopanjih napetosti, toka in moči, zaznavanje omejitev korakov za prepoznavanje nenadnih sprememb obremenitve ter nastavljive pragove akumulirane energije,



ki omogočajo proaktivno upravljanje sistema na podlagi trenutnega in dolgoročnega obnašanja moči.

Med ciljnim področji uporabe so avtomobilska industrija, umetna inteligenca/podatkovni centri, omrežja, industrija, strežniki, telekomunikacije/napajanje preko Ethernet (PoE) ter 48-voltni sistemi za distribucijo električne energije. 12-bitni model PAC1761 in 16-bitni model PAC1861 sta na voljo v ohišjih VDFN-8 (podobnih SOT23-8), VDFN-10 in MSOP-10, vključno z različicami, ki so na voljo za avtomobilsko industrijo. Možnosti, združljive s pin-konfiguracijo, lahko zmanjšajo tveganje pri ponovnem načrtovanju, skrajšajo cikle kvalifikacij in strankam omogočijo prožnost pri prehodu med različnimi napravami, ko se spremenijo zahteve, razpoložljivost, stroški ali zmogljivost.

Razvojna orodja

Podpora razvoju vključuje razvojno ploščo EV12R33A, vmesnik ukazne vrstice (CLI) za Python s knjižnico, gonilnik za Linux® ter splošno knjižnico v jeziku C z več primeri kode za mikrokontrolerje.

Cene in dobavljivost

Izdelki iz družin PAC1761 in PAC1861 so že na voljo, cene pa se začnejo pri 0,56 USD na kos pri nakupu 10.000 kosov za modela PAC1761T-3E/E3 in PAC1861T-1E/3P, oba v ohišju MSOP-10. Cena razvojne plošče EV12R33A znaša 49,00 USD. Izdelke [2] lahko kupite neposredno pri podjetju Microchip ali se obrnete na prodajnega predstavnika podjetja Microchip ali pooblaščenega distributerja po vsem svetu [3].

Viri:

- 1: <https://www.microchip.com/en-us/products/amplifiers-and-linear-ics/current-voltage-power-monitor-ics>
- 2: <https://www.microchipdirect.com/>
- 3: <https://www.microchip.com/en-us/about/global-sales-and-distribution>



Opomba: Ime in logotip Microchip sta registrirani blagovni znamki podjetja Microchip Technology Incorporated v ZDA in drugih državah. Vse druge blagovne znamke, ki so morda tu omenjene, so last njihovih podjetij.

<https://www.microchip.com>

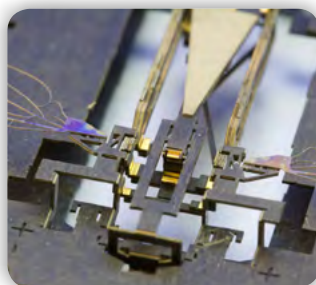


RoboBees: avtonomni leteči mikroroboti

Harvard Education

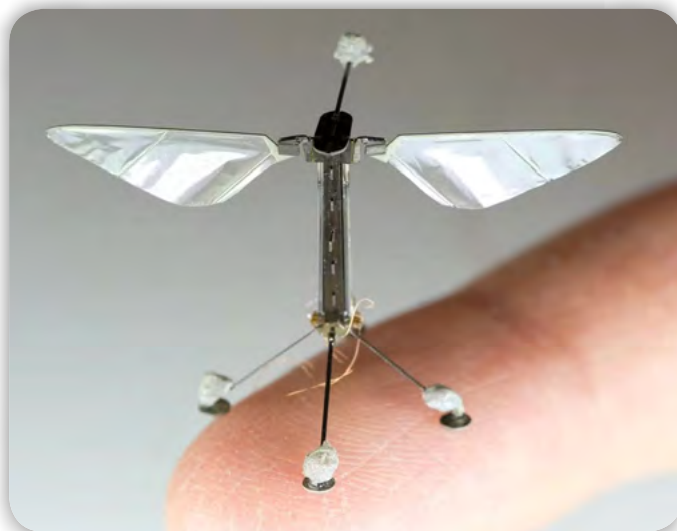
Roboti, zasnovani po vzoru žuželk, ki se lahko uporabljajo za opravljanje pridelkov, iskalne in reševalne misije, nadzor ter visokoločljivo spremljanje vremena, podnebja in okolja

Raziskovalci na inštitutu Wyss, ki so se zgledovali po biologiji čebele, razvijajo »RoboBees« – umetne sisteme, ki bi lahko opravljali najrazličnejše naloge v kmetijstvu ali pri pomoči ob naravnih nesrečah. RoboBee je velik približno polovico sponke za papir, tehta manj kot desetino grama in leti s pomočjo



»umetnih mišic«, sestavljenih iz materialov, ki se skrčijo ob priključitvi napetosti. Dodatne spremembe omogočajo nekaterim modelom RoboBee prehod iz plavanja pod vodo na letenje, pa tudi »pristajanje« na površinah s pomočjo statične elektrike. Za razvoj RoboBee robota je bila glavna spodbuda ideja o razvoju avtonomnih mikro-letalnih naprav, ki so sposobne samostojnega, samodejno usmerjenega letenja ter usklajenega delovanja v velikih skupinah. V ta namen je razvoj RoboBee-ja na splošno razdeljen na tri glavne komponente: telo, možgane in kolonijo. Razvoj telesa obsega izdelavo robotskih žuželk, ki so sposobne samostojnega letenja s pomočjo kompaktnega in brezhibno vgrajenega vira energije; razvoj možganov se nanaša na »pametne« senzorje in krmilno elektroniko, ki posnemajo oči in tipalke čebele ter lahko zaznavajo okolje in se nanj dinamično odzivajo; osrednji cilj projekta »Colony« je usklajevanje vedenja številnih neodvisnih robotov, da delujejo kot učinkovita enota. Za izdelavo RoboBee so raziskovalci na Wyssovem inštitutu razvili inovativne proizvodne metode, tako imenovane »Pop-Up« mikroelektromehanske (MEMS) tehnologije [1], ki so že znatno razširile meje sedanjega oblikovanja in inženirstva na področju robotike.

Da bi RoboBee lahko deloval zunaj laboratorija, je še vedno potreben znaten napredek. Vendar se osnovna tehnologija Pop-Up MEMs že uporablja za proizvodnjo mini kirurških robotov [2]. Robotska žuželka, imenovana RoboBee, ki črpa navdih iz biologije čebele z anatomijo v obsegu manj kot milimetra in dvema tankima kriloma, ki mahata 120-krat na sekundo, je zmožna



vertikalnega vzleta, lebdenja in krmarjenja. Ti drobni roboti mahajo s krili s pomočjo piezoelektričnih aktuatorjev – keramičnih trakov, ki se raztezajo in krčijo ob delovanju električnega polja. Tanki plastični tečaji, vgrajeni v okvir iz ogljikovih vlaken, služijo kot sklepi, medtem ko natančno uravnotežen krmilni sistem nadzoruje rotacijska gibanja robota z mahajočimi krili, pri čemer se vsako krilo krmili neodvisno v realnem času. Uporaba RoboBee robotov bi lahko vključevala razpršeno spremljanje okolja, iskalno-reševalne operacije in pomoč pri opravljanju pridelkov.

Viri:

- 1: <https://wyss.harvard.edu/technology/pop-up-mems-origami-inspired-micromanufacturing/>
- 2: <https://wyss.harvard.edu/technology/manufacturing-mini-surgical-robots/>



Slike vir: Inštitut Wyss na Univerzi Harvard

<https://wyss.harvard.edu>

Pametno kmetijstvo in kako tehnologija IMU pomaga nahraniti svet

Analog Devices, Inc.

Svetovno kmetijstvo se nahaja na kritični prelomnici. Do leta 2050 naj bi svetovno prebivalstvo doseglo skoraj 10 milijard, kar bo zahtevalo skoraj 70 % večjo proizvodnjo hrane [1], čeprav podnebne spremembe zmanjšujejo obseg obdelovalnih površin, motijo rastne sezone in obremenjujejo vodne vire.

KLJUČNE UGOTOVITVE

- Tehnologije pametnega kmetijstva, ki temeljijo na natančnih merilnikih pospeška (IMU), so ključnega pomena za zadovoljitev naraščajočega svetovnega povpraševanja po hrani ob rasti prebivalstva in podnebnih spremembah.
- Sistemi za merjenje pospeška (IMU) predstavljajo osrednji element za zaznavanje gibanja v pol-avtonomnem in avtonomnem kmetijstvu, saj omogočajo natančno navigacijo in krmiljenje kopenskih in zračnih vozil po natančnih, ponovljivih poteh za setev, obdelavo tal in škropljenje.
- Sistemi za merjenje pospeška (IMU) prispevajo k zmanjšanju vpliva na okolje, saj zmanjšujejo obsežno škropljenje s herbicidi, prekomerno gnojenje in poljska dela, ki porabijo veliko goriva.
- Umetna inteligenca, merilniki pospeška in integrirane merilne enote (IMU) omogočajo preventivno vzdrževanje opreme in spremljanje zdravstvenega stanja živine, s čimer kmetom pomagajo pravočasno odkriti težave in zmanjšati stroške.
- Sistemi IMU zapolnjujejo vrzeli v navigaciji, saj zagotavljajo neprekinjeno spremljanje položaja in orientacije v okoljih, kjer GPS ne deluje ali je signal oslavljen.

Hkrati se še naprej povečuje vpliv na okolje zaradi obsežnega škropljenja s herbicidi, prekomernega gnojenja in porabe goriva pri delu na poljih, medtem ko se pomanjkanje delovne sile še pogloblja, saj se mlajše generacije oddaljujejo od kmetijstva. Vsi ti izzivi skupaj potiskajo tradicionalne kmetijske metode na meje njihovih zmožnosti.

Da bi zadostili povpraševanju in trajnostno preskrbeli rastoče svetovno prebivalstvo, morajo kmetijska podjetja povečati prihodek, zmanjšati količino odpadkov in obvladovati obratovalne stroške, da bi ohranila dostop do trga. Pot naprej je vse bolj odvisna od kmetovanja, ki temelji na večji inteligenci in natančnosti. Razvoj preciznih senzorjev, umetne inteligence (AI), robotike in interneta stvari (IoT) kmetom omogoča na podatkih temelječe vpoglede, ki pametno kmetovanje naredijo učinkovitejše, produktivnejše in gospodarsko izvedljivo.

Vzpon inertnih merilnih enot

V središču te preobrazbe so inertne merilne enote (IMU). Ti kompaktni, večsni senzorji z merjenjem pospeška, kotne hitrosti in orientacije tvorijo osnovo za zaznavanje gibanja v pol-avtonomnih in avtonomnih aplikacijah. Od vodenja avtonomnih traktorjev po brazdah z natančnostjo do centimetra in

do stabilizacije razpršilnih ročic dronov nad razgibanim terenom – enote za merjenje inercije (IMU) tiho spreminjajo način, kako človeštvo prideluje hrano. Postale so temeljni kamen, ki omogoča prehod na pametno kmetijstvo.

Postavljanje temeljev

Preden so inertne merilne enote (IMU) začele voditi traktorje, so pomagale reševati življenja na avtocestah. Leta 1991 je podjetje Analog Devices, Inc. (ADI) predstavilo prvi MEMS pospeškometer na svetu za množični trg, ki je poganjal sisteme zračnih blazin, ki so postali standardna oprema v avtomobilih po vsem svetu [2].

To temeljno delo na področju senzorjev, ki so ključnega pomena za varnost, je podjetje ADI uveljavilo kot pionirja na področju natančne inertne tehnologije. Z desetletji izkušenj na področju visoko zmogljive analogne in digitalne obdelave signalov ter napredne proizvodnje MEMS-ov, je podjetje ADI v ospredju IMU tehnologije in ponuja paleto rešitev, ki zajemajo različne panoge, od kmetijstva do robotike.

Danes so natančne inertne merilne enote (IMU) podjetja ADI vgrajene v platforme naslednje generacije, ki spreminjajo način pridelave, žetve in distribucije hrane. V povezavi z globalnim sistemom za določanje položaja (GPS) lahko IMU-ji usmerjajo in krmarijo kopenska in zračna vozila po natančnih poteh za setev, obdelavo tal in škropljenje. Inertni senzorji lahko spremljajo tudi gibanje in vedenje živali, s čimer kmetom pomagajo spremljati zdravstveno stanje črede in pravočasno odkrivati morebitne težave.

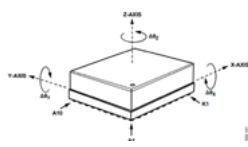
 <p>Temp Illustration – Replace with ADIS16607</p>	<p>Kako IMU deluje</p> <p>IMU-ji združujejo merilnike pospeška in žiroskopa za neprekinjeno merjenje pospeška in hitrosti vrtenja objekta po treh oseh: nagib, naklon in rotacija. IMU-ji zagotavljajo podatke v realnem času o gibanju, orientaciji in položaju.</p> <p>Z obdelavo podatkov v realnem času lahko IMU določi položaj, hitrost in orientacijo, s čimer avtonomnemu ali pol-avtonomnemu sistemu zagotovi popoln, samoreferenčni občutek ravnotežja in smeri, pri čemer mu za natančno ugotavljanje lastnega položaja ni treba nikoli iskati signala satelita.</p>
<p>\$27.4B Globalni IMU trg, 2025*</p>	<p>6.6% Predvidena rast CIGR v obdobju 2025-2032*</p> <p>*Expert Market Research, 2026 [3]</p>

Tabela 1: IMU deluje kot notranje uho stroja.



Adobe Stock | #359664176

PREDSTAVLJAMO

V kombinaciji z umetno inteligenco in merilniki pospeška IMU enote omogočajo tudi preventivno vzdrževanje, saj zaznavajo neznatne spremembe v delovanju stroja, še preden pride do okvar. S pomočjo analize vibracij lahko ti sistemi že v zgodnji fazi odkrijejo okvare ležajev, neuravnoteženost in ohlapne sestavne dele, s čimer zmanjšujejo draga obdobja izpada med kritičnimi obdobji sajenja in žetve.

Kako se orientirati, ko GPS ne deluje

Natančno inercialno zaznavanje ločuje sistem, ki večinoma deluje, od tistega, ki deluje vedno.

Sodoben precizni traktor ima na vrhu stroja, visokega od 2,5 do 3,5 m, nameščeno veliko GNSS anteno, katere naloga je določiti položaj vozila z natančnostjo nekaj 10 cm na obsežnih poljih. Ko se traktor nagiba na gričih ali neravnem terenu, same GPS meritve postanejo nezanesljive. IMU popravi to gibanje in uskladi izmerjeno lego antene z dejansko usmerjenostjo stroja na tleh. V zahtevnih radijskih okoljih, kjer lahko izpadi, motnje in sezonske spremembe terena poslabšajo satelitske signale, IMU premesti te vrzeli tako, da traktor nikoli ne izgubi smeri.

Kmetijstvo se ne odvija izključno na odprtih poljih. Sadovnjaki in vinogradi pogosto z gostim krošnjami ovirajo satelitske signale v L pasu, medtem ko hlevi in silosi ustvarjajo dodatne sence, ki preprečujejo sprejem signala. V teh koridorjih brez GPS signala IMU neprekinjeno spremlja položaj in orientacijo ter zagotavlja neprekinjeno vodenje, potrebno za zanesljivo avtonomno delovanje. GNSS omogoča določanje položaja na makro ravni, medtem ko IMU zagotavlja neprekinjeno in stabilno delovanje, ki kmetijskim strojem omogoča natančno vožnjo po predvideni poti.

Natančnost, ki zmanjšuje količino odpadkov

Sistemi za merjenje inercije so ključni za sodobne kmetijske stroje, ki sejejo, škropijo, obdelujejo polja in žanjejo z natančnostjo na ravni nekaj centimetrov, pri čemer zagotavljajo veliko večjo doslednost kot človeški operaterji. Ta natančnost se s časom še povečuje. Ko se ob sajenju zabeleži lokacija vsakega semena, se stroji lahko kasneje vrnejo na vsako točno določeno mesto, da pridelek pognojijo, po potrebi pa nanesejo tudi druga sredstva, s čimer se zmanjša poraba kemikalij, hkrati pa se izboljšata učinkovitost in pridelek.

Eden najbolj očitnih primerov je škropljenje s spremenljivo intenzivnostjo. Kamere in senzorji v realnem času prepoznajo plevel, pridelke in odstopanja v zdravstvenem stanju rastlin, medtem ko GPS, IMU-ji in krmilna programska oprema sproti prilagajajo posamezne škropilne šobe. Rezultat: natančnejše nanašanje herbicidov, pesticidov in hranil, znižanje stroškov, zmanjšanje vpliva na okolje ter zmanjšanje količine odvečnih kemikalij, ki vstopajo v prehransko verigo.

\$8.68B in 2025	\$26B by 2034
Trg pametnih kmetijskih sistemov*	Pričakovana rast*
	*Intelmarket Research [4]

Narejen za zahtevne razmere v kmetijstvu

Kmetijsko okolje predstavlja za inertne senzorje izziv, s katerim se le redke druge panoge lahko primerjajo. Traktorji, kmetijski stroji in brezpilotna letala povzročajo nenehne vibracije, nenadne udarce in velika temperaturna nihanja, ki lahko sčasoma zmanjšajo natančnost navigacije. Od hladnega jutra do najvišjih opoldanskih temperatur morajo IMU enote ohranjati

kalibracijo in ponovljivo delovanje, medtem ko oprema neprekinjeno deluje skozi dolge dneve setve in žetve. IMU enote, ki se uporabljajo v natančnem kmetijstvu, morajo hkrati izpolnjevati vse te zahteve, zato so odpornost proti vibracijam, temperaturna stabilnost in ponovljiva natančnost nepogrešljive.

Podjetje ADI se s temi izzivi spopada z arhitekturo »fusion-first«, ki IMU ne obravnava kot samostojni senzor, temveč kot del širšega sistema za določanje položaja, navigacijo in časovno sinhronizacijo (PNT), ki združuje inertno zaznavanje z GNSS in vgrajenimi krmilnimi sistemi. Rezultat je raven zmogljivosti, ki je nobena od tehnologij sama po sebi ne more doseči.

Ta pristop združevanja senzorjev omogoča:

- Nenehno vodenje med izpadom GNSS sistema ali v primeru poslabšanih satelitskih pogojev.
- Natančna ocena nagiba, naklona in rotacije za izravnavo iztegnjenega droga, krmiljenje priključkov in kompenzacijo naklona.
- Hitro posodabljanje podatkov o hitrosti in smeri za bolj tekoče vodenje stroja.
- Hitrejša inicializacija in konvergenca, kar omogoča čim daljši produktivni čas na terenu.



Dron: preciznost v zraku

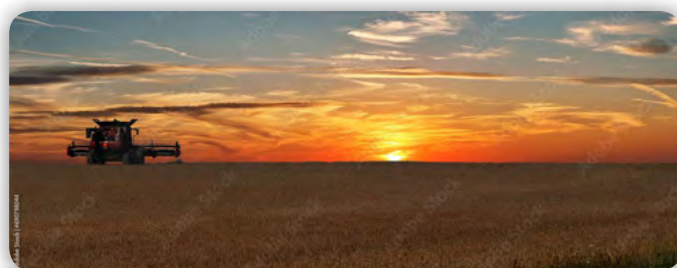
Kmetijski droni postajajo nepogrešljivo orodje za natančno kmetijstvo. Opremljeni z infrardečimi in multispektralnimi senzorji lahko v le nekaj urah pregledajo pridelke, odkrijejo bolezni, spremljajo namakanje in ocenijo potencial pridelka na tisočih arih. Srce vsakega kmetijskega drona je IMU, ki v sodelovanju z GPS-om omogoča navigacijo, hkrati pa stabilizira letalo ob spreminjajočih se vetrovih, vibracijah in slabših satelitskih pogojih.

Ker so droni vedno manjši, lažji in bolj občutljivi na vibracije, postaja zmogljivost IMU še bolj ključna. Kakovost kmetijske inteligence, ki temelji na umetni inteligenci – prepoznavanje stresa rastlin, zgodnje odkrivanje bolezni ali zaznavanje pomankljivosti pri namakanju, preden pride do izgube pridelka – je odvisna od stabilnih in natančno georeferenčnih posnetkov. Ko droni letijo v bližini gostih krošenj ali na neravnem terenu, kjer so signali GNSS oslabljeni, inertna navigacija ohranja stabilnost pri nagibanju in rotaciji, izravnavo spremembe višine ter zagotavlja zanesljivo sledenje gibanja, kar omogoča varen let in zanesljive podatke.

Da bi izpolnili te zahteve, je podjetje Analog Devices razvilo ADIS16607 [5]. IMU je zasnovan za precizne sisteme, ki de-

lujejo v zahtevnih okoljih. ADIS16607 je zasnovan za podporo navigaciji z ali brez GPS-a, omogoča pa tudi krmiljenje letalske elektronike ter optično stabilizacijo slike za kamere in radarje. Izboljšave na področju napak pri popravljanju vibracij (VRE) v žiroskopu in merilniku pospeška zagotavljajo boljšo odpornost proti vibracijam, natančnejše določanje položaja, izboljšano stabilnost brezpilotnih letal (UAV) in odziv sistema z manjšo zakasnitvijo – vse to v kompaktnem ohišju, pripravljenem za integracijo v ugnezdene ene platforme.

Onkraj polja: avtonomija v velikem obsegu



Iste zmogljivosti IMU, ki danes spreminjajo kmetijstvo, se izkazujejo kot ključne tudi v različnih industrijskih aplikacijah. V skladiščih so roboti, ki jih vodijo inertni senzorji, izboljšujejo učinkovitost dobavne verige od vira do police. V pristaniščih po vsem svetu sistemi, opremljeni z IMU, premikajo kontejnerje z višjimi hitrostmi in večjo natančnostjo. V rudarskih dejavnostih inertni senzorji zagotavljajo podatke o orientaciji in gibanju, ki so bistveni za avtonomna vozila, ki delujejo v podzemnih okoljih brez GPS signala. Vsakokrat, ko morajo avtonomni sistemi zanesljivo delovati v zahtevnih pogojih, so natančne inertne merilne enote (IMU) ključni del rešitve.

Ker svetovno povpraševanje po hrani narašča, površine za obdelovanje pa ostajajo omejene, se pametno kmetijstvo uveljavlja kot nekaj več kot le zgodba o uspehu v industriji. Odraža širši premik, v okviru katerega avtonomni sistemi, ki jih usmerja natančno zaznavanje, pomagajo reševati enega najbolj perečih izzivov človeštva: kako z manj pridelati več, da bi nahranili svet.

Viri:

- 1"Global Agriculture Towards 2050." Food and Agriculture Organization of the United Nations, October 2009.
- 2"The Fundamentals of Analog Devices' Revolutionary MEMS Switch Technology." Analog Devices, Inc.
- 3"High-Performance Inertial Measurement Unit (IMU)." MarketResearch.com, May 2026.
- 4"Smart Agriculture System Market Growth Analysis, Dynamics, Key Players and Innovations, Outlook and Forecast 2026-2034." Intelmarket Research, February 2026.
- 5: <https://www.analog.com/en/products/adis16607.html>

Vir slik: <https://stock.adobe.com>

<https://www.analog.com>



Vodnik po kibernetiski varnosti RED-DA za proizvajalce brežžičnih IoT naprav

Microchip Technology Inc.

Avtor: Abhinay Venuturumilli, višji vodja globalnega trženja v skupini za brezžične rešitve podjetja Microchip

Kaj je RED-DA in zakaj je pomemben za CE oznako?

Če proizvajate brezžične ali pametne izdelke, ki se povezujejo prek Wi-Fi®, Bluetooth® ali drugih radijskih tehnologij, ste verjetno seznanjeni z oznako CE na elektronskih napravah. Ta logotip »CE« je več kot le oznaka – je vaša vstopnica za zakonito dajanje izdelkov na trg Evropske unije (EU), saj kaže, da vaša naprava izpolnjuje bistvene zahteve glede zdravja in varnosti.

Še do nedavnega so se predpisi EU na področju elektronike osredotočali predvsem na preprečevanje telesnih poškodb, okvar naprav in radijskih motenj. Vendar pa se s širjenjem pametnih in povezanih izdelkov – od vsakdanjih potrošniških

naprav do zapletenih industrijskih sistemov – povečujejo tudi kibernetiska tveganja. Naprave so vse bolj povezane z omrežji, obdelujejo osebne podatke in so del kritične infrastrukture, zaradi česar so glavni cilji kibernetičnih napadov.

Da bi se odzvala na te vse večje skrbi, je EU uvedla obsežno posodobitev Direktive o radijski opremi (angl.: Radio Equipment Directive, RED) prek delegiranega akta RED (RED-DA), ki je začel veljati avgusta 2025. Ta nova uredba zagotavlja, da vsi izdelki z radijskimi funkcijami in izdelki interneta stvari (IoT), ki se dajejo na trg EU, izpolnjujejo obvezne zahteve glede kibernetiske varnosti.



Kje se uporablja RED-DA?

Področje uporabe RED-DA direktive je široko in se z rastjo digitalnega ekosistema še naprej širi. Velja za vsak izdelek, ki vključuje radijski vmesnik, ki uporablja brezžične tehnologije. To vključuje široko paleto naprav, kot so potrošniška elektronika (npr. pametni zvočniki, povezana stikala za razsvetljavo in televizorji); osebne nosljive naprave, vključno s pametnimi urami in napravami za spremljanje telesne aktivnosti; tehnologija za zdravstveno varstvo in medicinski senzorji; povezane igrarice in naprave za sledenje; ter IoT sistemi, ki podpirajo pametne domove, industrijska okolja in kritično infrastrukturo. Povezovanje RED-DA z širšim kontekstom: Zakon o kibernetiski odpornosti (CRA)

Čeprav se pobuda RED-DA osredotoča predvsem na brezžične in radijsko povezane naprave, ne gre za osamljeno pobudo. Je del širših regulativnih prizadevanj EU za vzpostavitev močnejšega in varnejšega digitalnega ekosistema. S CRA se uvaža ločena, a dopolnilna uredba, ki zajema širšo kategorijo digitalnih izdelkov z ugnedeno programsko opremo, ne glede na to, ali vključujejo radijski vmesnik.

RED-DA in CRA skupaj predstavljata ključna stebra razvijajočega se regulativnega EU okvira na področju kibernetске varnosti. Medtem ko RED-DA zagotavlja, da so naprave, ki uporabljajo radijske tehnologije, varne, zanesljive in skladne z zahtevami, preden lahko nosijo oznako CE, CRA ta obseg razširja na celoten življenjski cikel digitalnih izdelkov. To vključuje razvoj po načelu »varnost že pri zasnovi«, stalno vzdrževanje programske opreme, poročanje o ranljivostih in dolgoročno podporo, s čimer se zagotavlja močnejša zaščita in odpornost v celotnem digitalnem ekosistemu. Na kratko, RED-DA je eden od gradnikov večplastnega pristopa EU k varnosti digitalnih izdelkov. Proizvajalcem razumevanje RED-DA ne pomaga le pri izpolnjevanju takojšnjih zahtev glede skladnosti, temveč tudi pri pripravi na širše, bolj sistematične obveznosti, ki jih uvaža CRA.

V tem smislu je Evropa uvedla standard EN 18031 kot usklajeni standard za izpolnjevanje zahtev glede kibernetске varnosti iz Direktive o električnih napravah (RED). Standard, ki zajema zaščito omrežij, varstvo podatkov in preprečevanje goljufij, proizvajalcem ponuja praktičen okvir za dokazovanje skladnosti. Pri večini brezžičnih izdelkov in izdelkov interneta stvari (IoT) je v središču pozornosti standard EN 18031, ki določa zahteve za zaščito omrežij pred zlorabo, motnjami in napadi. Poudarja varne načine načrtovanja, kot so avtentifikacija, nadzor dostopa, šifrirana komunikacija, zaščitene posodobitve in odpornost proti pogostim grožnjam – s čimer zagotavlja, da so povezane naprave skladne z zahtevami in zanesljive. Standard ponuja smernice, prilagojene različnim vrstam naprav, ter tako zagotavlja, da so varnostni ukrepi sorazmerni z tveganjem. Medtem ko Evropa krepi svojo digitalno odpornost, bodo ti standardi in predpisi vplivali na način, kako se izdelki oblikujejo, testirajo, dokumentirajo in vzdržujejo, hkrati pa bodo dvignili merila varnosti.

Zakaj je skladnost pomembna za razvijalce brezžičnih izdelkov?

Tveganje in ugled

Za ponudnike rešitev, ki vgrajujejo brezžične tehnologije, je

zagotavljanje zanesljive varnosti omrežja ključnega pomena ne le za zagotavljanje skladnosti z zakonodajo, temveč tudi za zaščito vrednosti za stranke in ohranjanje zaupanja na trgu. Neizpolnjevanje zahtev RED-DA direktive lahko izpostavi izdelke ranljivostim, odpoklicem ali omejitvam prodaje, kar ne le moti poslovno delovanje, temveč tudi škoduje ugledu blagovne znamke ter dolgoročni verodostojnosti pri partnerjih, regulativnih organih in končnih uporabnikih. Od 1. avgusta 2025 je skladnost obvezna za vse nove brezžične naprave, ki se prodajajo v EU. Vsak izdelek, ki nima veljavne deklaracije o skladnosti (DoC) s sklicem na standard EN 18031, tvega, da mu bo prepovedana prodaja v Evropi.

Kompleksnost v dobavni verigi

Proizvajalci pogosto vgrajujejo brezžične module ali sisteme na čipu (SoC) kot osnovo svoje brezžične povezanosti. Z zagotovitvijo, da te komponente same izpolnjujejo standard EN 18031 in imajo izdano potrdilo o skladnosti (DoC) na višji stopnji, se skladnost na nižji stopnji bistveno poenostavi, hkrati pa se zmanjšajo stroški in inženirsko breme.

Vloga izjave o skladnosti (DoC)

DoC je uradna izjava, ki potrjuje, da izdelek izpolnjuje vse veljavne direktive in standarde, vključno z zahtevami glede kibernetске varnosti, določenimi v direktivi RED-DA. Za organizacije, ki vgrajujejo brezžične module ali sistem-na-čipu (SoC), pridobitev DoC od ponudnikov tehnologije prinaša pomembne prednosti. Poenostavi dokumentacijo, saj omogoča vključitev dobaviteljeve izjave o skladnosti (DoC) v dokumentacijo o skladnosti izdelka, pospeši postopek pridobitve oznake CE z uporabo vnaprej certificiranih modulov ter zmanjša splošno breme, povezano s skladnostjo, saj zmanjša potrebo po obsežnem dodatnem testiranju. Poleg učinkovitosti to tudi krepi zaupanje, saj kaže na močno zavezanost k spoštovanju predpisov tako za partnerje kot za končne uporabnike. Ponudniki brezžičnih sistemov na čipu (SoC) in modulov, ki dajejo prednost skladnosti z RED-DA, svojim strankam omogočajo, da uvajajo inovacije hitreje, varneje in z večjim zaupanjem.



DoC je uradna izjava, ki potrjuje, da izdelek izpolnjuje vse veljavne direktive in standarde, vključno z zahtevami glede kibernetске varnosti, določenimi v direktivi RED-DA. Za organizacije, ki vgrajujejo brezžične module ali sistem-na-čipu (SoC), pridobitev DoC od ponudnikov tehnologije prinaša pomembne prednosti.

Praktični ukrepi za proizvajalce brezžičnih naprav

Za proizvajalce brezžičnih naprav izpolnjevanje RED-DA zahtev vključuje vrsto praktičnih korakov, ki se začnejo z razumevanjem uredbe in opredelitvijo usklajenega standarda, ki velja za njihov izdelek. Ključnega pomena je, da brezžične module ali sklope čipov izbirajo izključno pri dobaviteljih, ki izpolnjujejo RED-DA zahteve in imajo veljavne izjave o skladnosti s standardom EN 18031. Ker je za končni izdelek na koncu odgovoren proizvajalec, temeljita analiza vrzeli zagotavlja, da so vse dodatne zahteve, ki presegajo tiste, ki jih pokriva izbrani modul ali SoC, ustrezno upoštevane. Varnost mora biti vgrajena že od samega začetka, pri čemer morajo biti prakse »varnosti že pri načrtovanju« vključene v življenjski cikel tako strojne kot programske opreme. Za zagotovitev skladnosti morajo proizvajalci hraniti popolno in preverljivo dokumentacijo, vključno s tehničnimi dosjeji, poročili o preskusih in izjavami o skladnosti dobaviteljev, najmanj deset let po dajanju izdelka na trg. Nazadnje bi morale organizacije zagotoviti stalno skladnost s predpisi tako, da spremljajo spreminjajoče se predpise, kot je Zakon o kibernetiski odpornosti, ter uvedejo postopke za pravočasne varnostne posodobitve in upravljanje ranljivosti.

Zanesljivi partnerji za skladnost s standardom RED-DA

Podjetje Microchip Technology je svetovni vodilni ponudnik varnih, povezanih rešitev za ugnezdene sisteme. Kot zaupanja vreden dobavitelj brezžičnih modulov, sistemov na čipu (SoC) in razvojnih orodij se Microchip zavzema za podporo strankam pri spopadanju z nenehno spreminjajočimi se predpisi. Brezžične rešitve podjetja Microchip temeljijo na načelih varnosti že v fazi načrtovanja in so razvite tako, da izpolnjujejo stroge zahteve standarda EN 18031 v okviru RED-DA direktive. S predložitvijo izčrpnih izjav o skladnosti, podrobne tehnične dokumentacije in stalne podpore podjetje Microchip proizvajalcem naprav pomaga skrajšati čas uvedbe izdelka na trg s predhodno certificiranimi moduli, ki so pripravljeni za skladnost z RED-DA direktivo.

To pomaga poenostaviti postopke zagotavljanja skladnosti in hkrati zmanjšati stroške inženiringa ter strankam omogoča, da razvijajo varne in odporne izdelke, ki ne le izpolnjujejo regulativne zahteve EU, temveč tudi krepijo zaupanje strank.

Z izbiro podjetja Microchip kot partnerja na področju brezžičnih tehnologij razvijalci pridobijo dostop do obsežne ponudbe rešitev, ki izpolnjujejo veljavne standarde, strokovnega svetovanja ter zaveze k dolgoročnemu uspehu na trgu povezanih naprav. Več informacij o brezžičnih izdelkih podjetja Microchip in skladnosti z direktivo RED-DA najdete na spletu [1].

Varnost je skupna odgovornost

Zahteve glede kibernetске varnosti RED-DA, katerih osrednji del predstavlja standard EN 18031, pomenijo pomemben preobrat v načinu, kako morajo proizvajalci obravnavati varnost brezžičnih izdelkov in izdelkov interneta stvari (IoT). Odgovornost za zagotavljanje skladnosti ne leži izključno na eni sami zainteresirani strani, temveč je skupna obveznost celotnega ekosistema razvoja in dobave.

Izredno pomembno je, da se izbere pravi dobavitelj brezžičnih modulov ali sistemov na čipu (SoC), ki proaktivno podpira standard RED-DA in zagotavlja izjavo o skladnosti. Enako pomembno pa je tudi, da proizvajalci prevzamejo odgovornost za način integracije in izvedbe teh tehnologij v svojih končnih izdelkih. Varnost mora biti vgrajena skozi celoten življenjski cikel razvoja, ne pa dodana kot popravek v poznejši fazi.

To vključuje uporabo načela večplastne zaščite – zagotavljanje, da je varnost vzpostavljena na več ravneh sistema, namesto da bi se zanašali na eno samo točko zaščite. Stranke je na primer treba spodbujati, naj za šifrirano komunikacijo omogočijo protokol TLS (Transport Layer Security), tudi če njihove naprave že uporabljajo varnostne Wi-Fi protokole. Takšna večplastna zaščita pomaga zmanjšati tveganje v primeru odpovedi ene od plasti ter preprečuje, da bi napadalci prek ene same šibke točke pridobili dostop do občutljivih podatkov ali nadzora nad sistemom.

Z tesnim sodelovanjem z izkušeni dobavitelji, ki so pripravljeni na skladnost z zakonodajo, ter usklajevanjem notranjih razvojnih praks s priznanimi standardi lahko organizacije ne le izpolnijo zakonske zahteve, temveč tudi ponudijo bolj odporne in zanesljive rešitve za povezan svet. Zdaj je čas za ukrepanje: za pripravo, sodelovanje in razvoj varnih brezžičnih izdelkov, ki bodo izpolnjevali tako današnja pričakovanja kot tudi jutrišnje izzive.

Viri:

- 1: <https://www.microchip.com/en-us/solutions/technologies/embedded-security/radio-equipment-directive>



Opomba: Ime in logotip Microchip sta registrirani blagovni znamki podjetja Microchip Technology Incorporated v ZDA in drugih državah. Vse druge blagovne znamke, ki so morda tu omenjene, so last njihovih podjetij.

<https://www.microchip.com>



Izbira komponent za merjenje hitrih prehodnih pojavov in širokega razpona toka v podatkovnih centrih za umetno inteligenco

DigiKey
Avtor: Rolf Horn

Merjenje toka med virom napajanja in obremenitvijo – naj gre za motor, tiskano vezje ali sistem – je vedno bolj pomembna zahteva, ki omogoča optimizacijo porabe energije na ravni sistema in podsistema.

Čeprav so komponente za vezja za merjenje toka v različnih konfiguracijah že dobro uveljavljene, je razvoj podatkovnih centrov z umetno inteligenco (AI) to nalogo naredil zahtevnejšo. Trenutne ravni so višje in zajemajo široko dinamično območje, pri čemer je treba natančno meriti hitre prehode med najnižjimi in najvišjimi ravni.

Za izpolnitev teh višjih zahtev je potrebna skrbna izbira komponent za analogne in mešane signale v okviru uveljavljenih topologij vezij.

V tem članku je obravnavana potreba po merjenju toka ter izzivi, ki jih predstavljajo podatkovni centri z umetno inteligenco. Nato je podan pregled zasnove vezja in preučena uporaba serijsko proizvedenih komponent za analogne/mešane signale podjetja Analog Devices [1], ki se lahko uporabijo za reševanje teh izzivov.

Določite cilje na ravni sistema

Čeprav se vsako podatkovno središče za umetno inteligenco razlikuje od drugih, obstajajo splošna navodila, ki jih je mogoče uporabiti za določitev zahtev za merjenje toka na ravni sistema, med drugim:

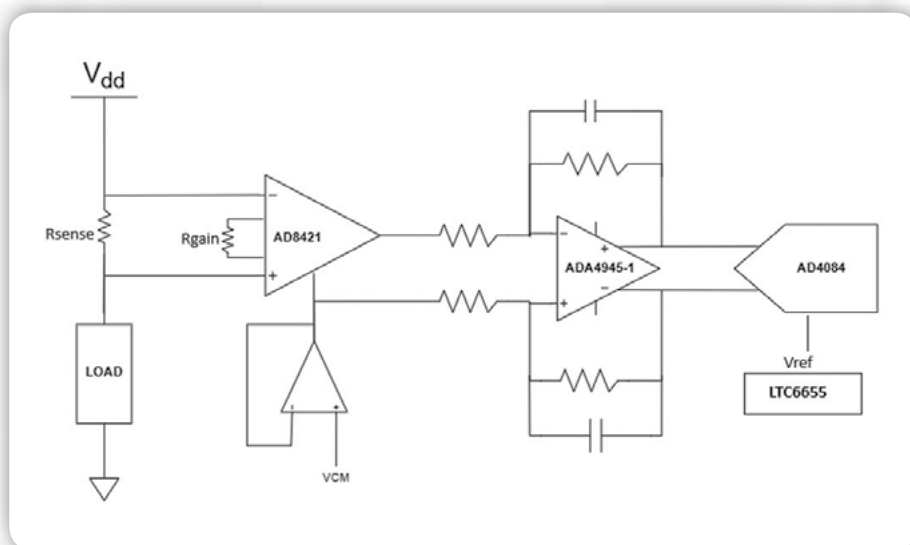
- največji sistemski tok: en kiloamper (kA), porazdeljen na več tiskanih vezij, od katerih vsako vsebuje več grafičnih procesnih enot (GPU),
- dinamični razpon odčitka: več kot 90 decibelov (dB),
- ločljivost ADC: najmanj 16 bitov, priporočljivo pa je od 18 do 20 bitov,
- linearnost: $\frac{1}{2}$ najmanj pomembnega bita (LSB) na 16-bitni ravni; integralna nelinearnost pod ± 8 delcev na milijon (ppm),

- čas stabilizacije: manj kot 50 nanosekund (ns) na 16-bitni ravni.

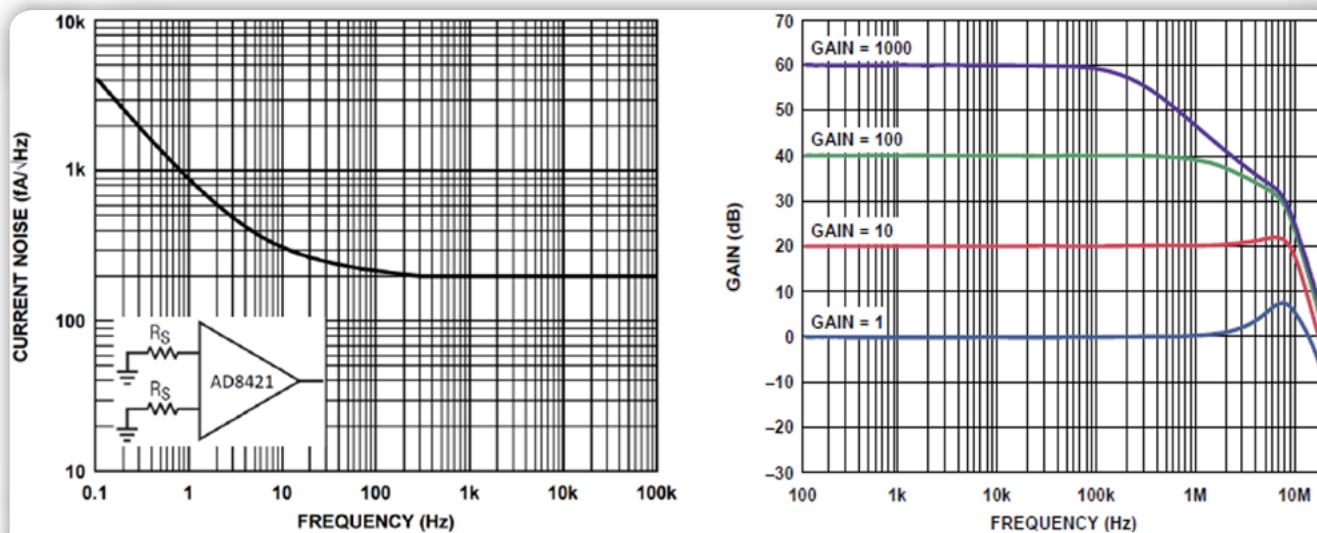
Določanje velikosti merilnega soupora

Ena od prvih nalog pri načrtovanju je določitev velikosti upora za merjenje toka, ki ustreza specifikacijam posamezne plošče. Vzemimo na primer tiskano vezje, ki porabi največ 3 ampere (A) z osmimi grafičnimi procesorji AMD Radeon, kar pomeni približno 375 do 400 miliamperov (mA) na grafični procesor. Ta tok je približno enakomerno porazdeljen med napetostnima vodoma 1,8 in 0,9 volta, zato je tok, ki ga je treba meriti na vsakem napetostnemvodu, približno 200 mA polnega obsega (FS).

Odgovorna inženirska praksa v tem primeru kaže, da je padec napetosti okoli 50 milivoltov (mV) največji sprejemljivi padec



Slika 1: Poenostavljen shematski prikaz prikazuje ključne funkcije v signalni verigi od upora za merjenje toka do končnega digitaliziranega izhoda. (Vir slike: Analog Devices)



Slika 2: Instrumentacijski ojačevalnik AD8421ARZ se odlikuje z nizkim tokovnim šumom (levo) in enakomernim ojačenjem glede na frekvenco vse do lomne frekvence (desno). (Vir slike: Analog Devices)

ali »obremenilna« napetost na upor za merjenje toka. Po Ohmovem zakonu to ustreza največji upornosti 250 miliohmov ($m\Omega$). Dobra izbira, ki zagotavlja dodatno rezervo in zmanjšuje izgube, je 100 $m\Omega$.

Ko je napetost FS merilnega upora znana, se lahko nadaljuje z ostalim načrtovanjem in izbiro komponent. Pri toku FS 200 mA, ki teče skozi soupor z upornostjo 100 $m\Omega$, znaša napetost FS na tem uporu, ki jo je treba zaznati in ojačiti, 20 mV.

Poenostavljena shema vezja (slika 1) prikazuje štiri osnovne funkcije:

- merilni ojačevalnik (in-amp) za zaznavanje, obdelavo in skaliranje majhne napetosti, ki nastane na merilnem uporu (R_{sense}),
- diferencialni ojačevalnik, ki zajema izhodni signal ojačevalnika in ga pripravi za analogno-digitalni pretvornik (ADC),
- ADC, ki signal digitalizira z visoko natančnostjo, visoko ločljivostjo in nizko stopnjo šuma,
- natančen napetostni referenčni vir za ADC.

Podrobnosti o vezju za merjenje toka

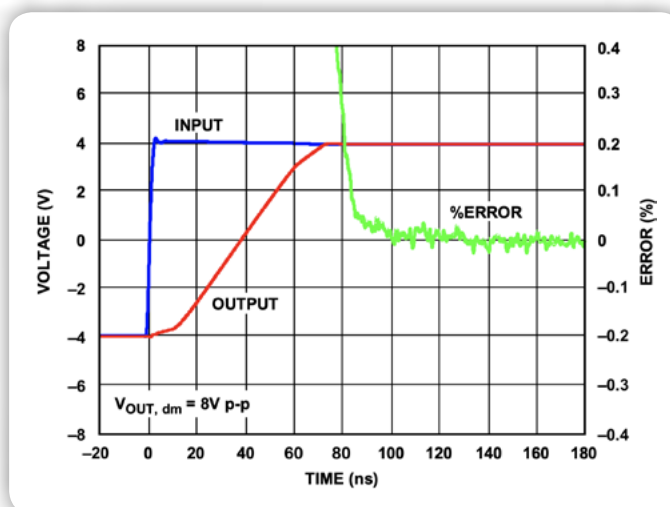
Vgrajeni ojačevalnik: Glede na relativno nizko napetost FS, zahtevano ločljivost in verjeten vpliv šuma notranjih komponent na odčitke je primerna izbira vgrajenega ojačevalnika AD8421ARZ [2]. Ta ojačevalnik ima največji šum vhodne napetosti 3,2 nV/ $\sqrt{Hz}$ in tokovni šum 200 fA/ $\sqrt{Hz}$ pri 1 kilohercu (kHz) (slika 2, levo). Ima največjo pasovno širino 10 megahertzov (MHz), razmerje dušenja skupnega načina (CMRR) 94 dB pri ojačenju 1 ($G = 1$) ter enakomerno ojačenje glede na frekvenco do lomne frekvence (slika 2, desno).

Če je ojačenje nastavljeno na 10 voltov/volt (V/V) prek R_{gain} vrednosti 1,1 kilohma ($k\Omega$), znaša izhodna napetost 200 mV od vrha do vrha (V_{p-p}), pri čemer se ohrani celotna pasovna širina 3 dB, ki znaša 10 MHz. Šum ojačevalnika, merjen glede

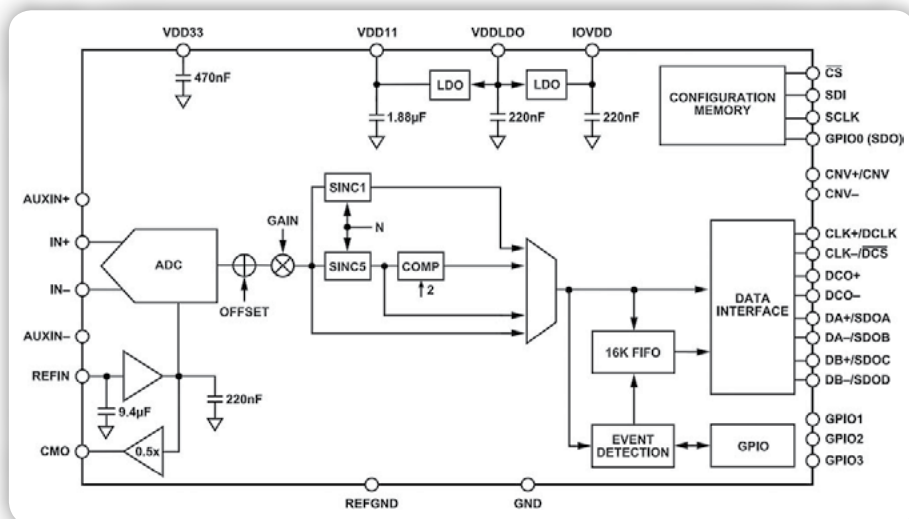
na vhod, na tej pasovni širini presega šum naslednjega analogno-digitalnega pretvornika (ADC).

Diferencialni ojačevalnik: Naslednji korak je obdelava ojačenega signala izmerjenega na merilnem uporu, da se lahko vodi na ADC. Za to vlogo je diferencialni ADC ojačevalnik/gonilnik ADA4945-1ACPZ-R7 [3] odlična izbira. Značilno je odstopanje odklona $\pm 0,1$ mikrovolta na stopinjo Celzija ($\mu V/^{\circ}C$), kar je ključnega pomena za stabilnost in dosledno delovanje. Diferencialni prenos signalov zmanjšuje vpliv šuma in ohranja zmogljivost tudi ob prisotnosti napetosti v skupnem načinu.

Pri ojačenju 1 ima ADA4945-1ACPZ-R7 tipično pasovno širino 80 MHz za majhne signale v načinu z nizko porabo energije in 145 MHz v načinu z velikimi signali, odvisno od izbire uporabnika. Odlikuje ga tudi nizka raven napetostnega in tokovnega šuma ter hiter čas ustalitve (slika 3), kar zagotavlja natančno zajemanje hitro spreminjajočih se signalov.



Slika 3: Hitri čas stabilizacije vezja ADA4945-1ACPZ-R7 omogoča natančno zajemanje hitro spreminjajočih se signalov. (Vir slike: Analog Devices)



Slika 4: Vgrajene funkcije SAR-ADC-ja AD4084BBCZ-RL7 zmanjšujejo potrebo po zunanjih podpornih vezjih. (Vir slike: Analog Devices)

Če nastavimo ojačenje vezja ADA4945-1ACPZ-R7 na 7,02 V/V, se njegov izhodni razpon prilagodi vhodnemu razponu naslednje stopnje, kar optimizira delovanje in zmanjša vpliv šuma.

ADC: Digitalizacija napetostnega signala, ki predstavlja zaznan tok, je splošni cilj na ravni sistema, njegova uresničitev pa je naloga ADC-ja. AD4084BBCZ-RL7 [4] (slika 4) je v tem primeru dobra izbira. Ta visoko integrirani analogno-digitalni pretvornik (ADC) s postopnim približevanjem (SAR) se odlikuje po nizki ravni šuma (8,8 nV/√Hz), nizki porabi energije (80 milivatov (mW) pri 40 megavzorcih na sekundo (Msamples/s)), visokem dinamičnem razponu (94,6 dB) in odlični tipični linearnosti ± 4 delcev na milijon (ppm). Vključuje tudi 16-ks pomnilnik rezultatov po načelu »prvi noter, prvi ven« (FIFO) z zaznavanjem dogodkov, kar znatno zmanjša takojšnjo obremenitev digitalnega gostitelja.

Funkcije »Easy Drive« modela AD4084BBCZ-RL7 zmanjšujejo zapletenost signalne verige in porabo energije, hkrati pa omogočajo večjo gostoto kanalov in večjo prožnost pri izbiri

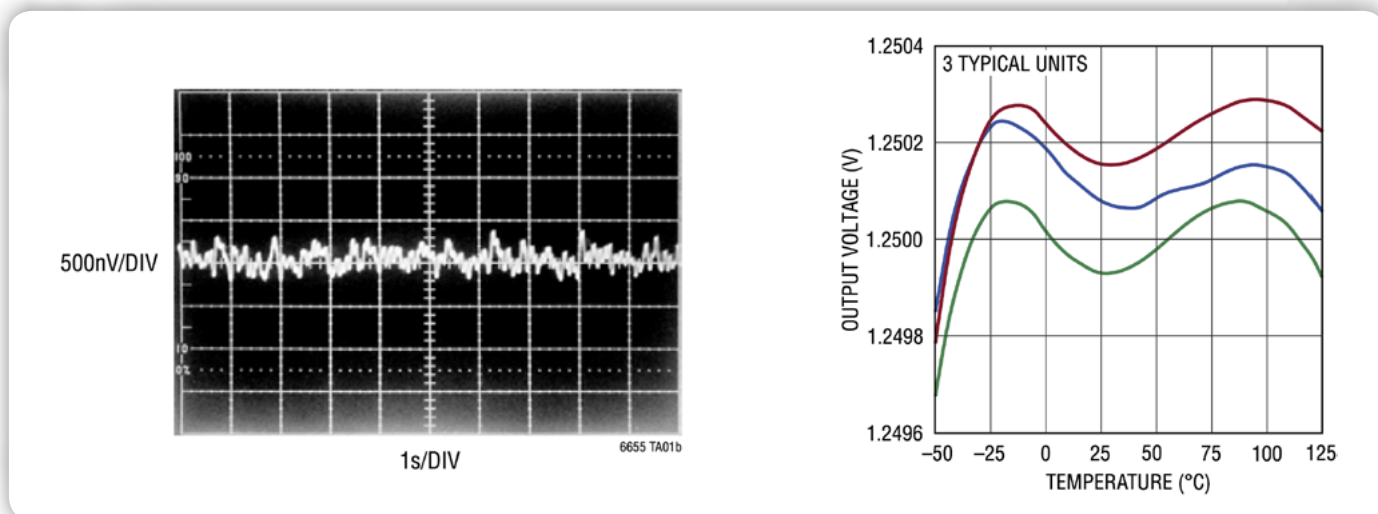
signalno verigo merjenja toka.

Optimizacija zasnove

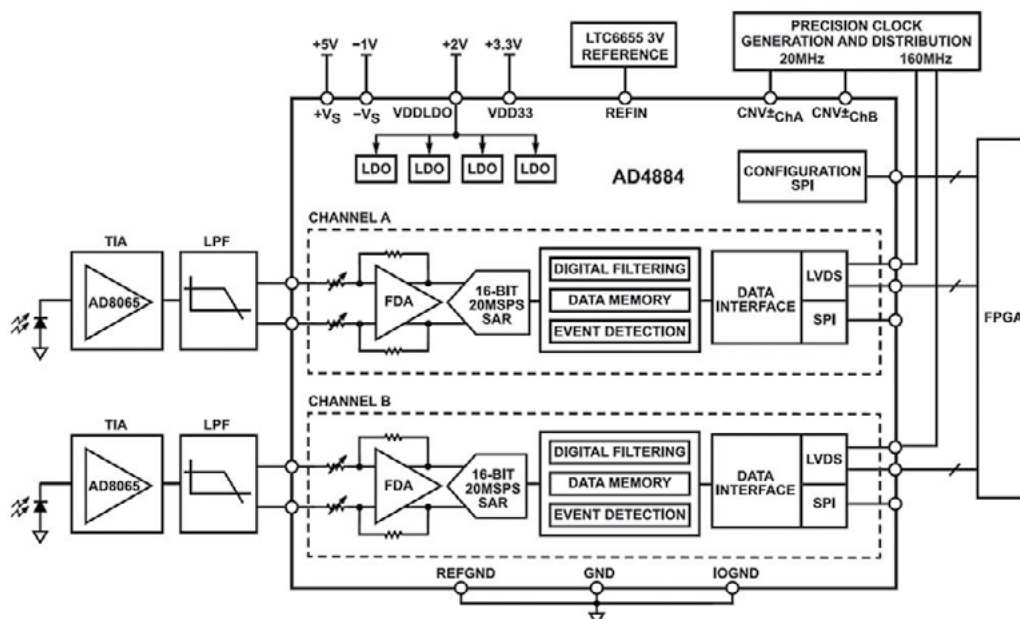
Vsak projekt upošteva ravnovesje med dejavniki, kot so zmogljivost, prostor na plošči, poraba energije in stroški, in ta projekt ni nobena izjema. Dodaten dejavnik je dinamični razpon. Prikazano vezje ponuja dinamični razpon nad 60 dB in šum, merjen glede na vhod, v višini približno 200 mikroamperov (μA), kar je dobro, a še vedno pod prvotnim ciljem 90 dB.

Med ukrepi, ki jih je mogoče sprejeti za povečanje te vrednosti, sta zmanjšanje vhodnega ojačenja v ojačevalniku AD8421ARZ in povečanje integriranega digitalnega filtriranja (decimacije), ki je na voljo v ADC, za štirikrat ali celo osemkrat, kar bo povečalo dinamični razpon za 6 dB oziroma 12 dB, vendar na račun hitrosti pretvorbe.

Ta sprememba ojačenja ne zahteva zamenjave strojne opreme. Namesto tega je preklapljanje ojačenja na AD8421ARZ



Slika 5: Referenčni napetostni vir LTC6655 združuje izjemno nizko raven šuma (levo) z izjemno nizkim temperaturnim zdrsom (desno), kar zagotavlja natančno delovanje. (Vir slike: Analog Devices)



Slika 6: ADC AD4884BBCZ-RL je alternativa modelu AD4084BBCZ-RL7, ki omogoča zmanjšanje prostora na plošči in stroškov seznama komponent. (Vir slike: Analog Devices)

možno izvesti z uporabo analognega stikala, na primer 4-kanalnega multiplekserja ADG5404FBRUZ-RL7 [6], ki ima tipično upornost v prevodnem stanju 10 ohmov (Ω).

Vendar pa imajo analogna stikala vgrajene parazitske učinke, kot sta omenjena upornost v prevodnem stanju in druge nelinearnosti, zaradi česar so manj primerna za zelo natančne meritve. Njihovo delovanje v tem pogledu bi bilo potrebno oceniti s pomočjo natančnega modeliranja in simulacije signalne verige. Zato je uporaba ADC-ja z nizko stopnjo šuma in širokim dinamičnim razponom, kot je AD4084BBCZ-RL7 brez nastavitve ojačenja, morda boljša izbira, saj poenostavi signalno verigo in odpravi vire napak.

Za aplikacije, kjer je prostor omejen ali je treba zmanjšati seznam materialov (BOM), je bolj integrirani AD4884BBCZ-RL [7] (slika 6) alternativa ADC-ju AD4084BBCZ-RL7. Ta dvo-kanalni, nizkošumni, nizkoenergetski, zelo hiter 16-bitni SAR ADC vključuje popolnoma diferencialne ojačevalne gonilnike (FDA) in upore za nastavitve ojačenja.

Njegova dva kanala lahko vzorčita bodisi hkrati bodisi neodvisno, kar zagotavlja prilagodljivost za široko paleto uporab. AD4884BBCZ-RL je optimiziran za vhodne signale do 1 MHz ter se ponaša z izjemno linearnostjo in izredno nizko porabo energije, zaradi česar predstavlja primerno alternativo za številne natančne sisteme za zajemanje podatkov.

Zaključek

Za natančno merjenje toka v podatkovnih centrih za umetno inteligenco je potrebna signalna veriga, ki lahko obvladuje visok tok, široko dinamično območje in hitre spremembe obremenitve. Za uspešno zasnovo je potrebna skrbna izbira kompo-

nent in optimizacija signalne verige, da se doseže ravnovesje med natančnostjo, šumom, odzivnim časom, prostorom na plošči, porabo energije in kompleksnostjo vezja. Podjetje Analog Devices ponuja merilne ojačevalnike, diferencialne gonilnike ADC, SAR-ADC-je, napetostne reference ter integrirane rešitve za izvedbo potrebnih funkcij.

Viri:

- 1: <https://www.digikey.com/en/supplier-centers/analog-devices>
- 2: <https://www.digikey.com/en/products/detail/analog-devices-inc/AD8421ARZ/3340511>
- 3: <https://www.digikey.com/en/products/detail/analog-devices-inc/ADA4945-1ACPZ-R7/10107155>
- 4: <https://www.digikey.com/en/products/detail/analog-devices-inc/AD4084BBCZ-RL7/28167913>
- 5: <https://www.digikey.com/en/products/filter/voltage-reference/693?s=N4I-gjCBcpg7LBOKoDGUBmBDAnGZwKYA0I-A9IANogBMADFQGXWwgC6xAdgC5QgD-KnAJwCWAOWDmIAL7EAtFWQg0kQQFcipCi-CQtJ06poAyAFQDC9egFYrSUA>
- 6: <https://www.digikey.com/en/products/detail/analog-devices-inc/ADG5404FBRUZ-RL7/5175810>
- 7: <https://www.digikey.com/en/products/detail/analog-devices-inc/AD4884BBCZ-RL/29220889>

<https://www.digikey.com>

RFID moduli in čitalniki od ELATEC – od avtorizacije operaterja do Pametne Tovarne

Transfer Multisort Elektronik Sp. z o.o.

Tehnologija RFID v proizvodnem obratu.

V proizvodnih obratih nadzor dostopa ni omejen le na vstop v stavbo. S hitro naraščajočo avtomatizacijo industrije se pojavlja potreba po nadzoru dostopa do HMI panelov, PLC krmilnikov, robotov, strojev, orodij in vozil, ki se uporabljajo v intralogistiki. Operater mora biti ne le prepoznan s strani sistema, ampak mora imeti tudi pooblastila in usposabljanje, ki ustrezajo opravljanemu delu.

V takih implementacijah RFID deluje kot plast za identifikacijo uporabnika. Lahko se integrira s krmilnim sistemom, proizvodno aplikacijo ali sistemom za upravljanje dostopa. Podjetje ELATEC poudarja možnost uporabe enega, univerzalnega sistema na številnih področjih tovarne – od strojne avtentifikacije do upravljanja flote in industrijskega prodajnega avtomata.

Zakaj je identifikacija operaterja pomembna v avtomatizaciji?

Sodobna proizvodna delovna mesta pogosto povezujejo človeka s krmilnim sistemom. HMI panel omogoča spreminjanje parametrov procesa, PLC enota upravlja z izvršilnimi napravami, robot pa lahko izvaja del operacij brez neposrednega posega in nadzora operaterja.

Problem se pojavi, ko je dostop do teh funkcij preširok in nenaadzovan. Oseba, ki uporablja panel, je lahko fizično pooblaščen za bivanje na delovnem mestu, vendar morda nima kvalifikacij, potrebnih za spreminjanje določenih parametrov ali upravljanje določenega stroja.

Sistem lahko preveri, ali ima določen delavec veljavne certifikate in usposabljanje. To velja tudi za dostop do nevarnih območij ali območij, kjer se izvajajo servisna dela.



Čitalnik sodeluje s sistemi Android, iOS, Linux, Mac OS X, Windows 7, Windows 8, Windows 10, Windows 11

RFID pri panelu HMI

Ena najpreprostejših aplikacij je identifikacija operaterja pri HMI panelu.

Namesto vnosa uporabniškega imena in gesla uporabnik prislo-ni identifikator na čitalnik, informacija o identiteti pa se lahko takoj prenese v sistem, odgovoren za avtentifikacijo. Glede na arhitekturo rešitve se lahko na ta način izvajajo med drugim:

- *prijava operaterja na delovno mesto,*
- *dodelitev uporabnika določenemu stroju,*
- *dostop do določenih funkcij HMI panela,*
- *registracija začetka in konca dela,*
- *povezava operaterja s podatki o proizvodnem procesu.*

To je še posebej pomembno na področjih, kjer eno delovno mesto uporablja več delavcev.

Podatki operaterja lahko napajajo OEE sistem

Identifikacija delavca ima lahko še eno uporabo: zagotavljanje potrebnih informacij za proizvodne podatke.

Rešitev za strojno avtentifikacijo se lahko integrira s programsko opremo OEE (Overall Equipment Effectiveness). Z identifikacijo operaterjev je mogoče povezati podatke o uporabnikih z informacijami, ki se uporabljajo za analizo proizvodnje. Takšni podatki lahko podpirajo izboljšanje kakovosti in učinkovitosti procesa. Takšen pristop je zanimiv z vidika Industrije 4.0.

En identifikator na več področjih obrata

Implementacija ločenih sistemov identifikacije za vsako aplikacijo vodi do nastanka razpršenih okolij. Delavec lahko ima eno kartico za vstop v stavbo, drugo za upravljanje stroja, ločen PIN za vozilo in dodatne prijavne podatke za terminal.



Podjetje ELATEC predlaga drugačen pristop: uporabo univerzalnih čitalnikov, ki omogočajo upravljanje različnih identifikatorjev in uporabo že obstoječih identifikatorjev delavcev tudi v novih aplikacijah. Proizvajalec prav tako poudarja

možnost uporabe pametnih telefonov kot digitalnih identifikatorjev. V praksi to pomeni možnost gradnje enega okolja avtentifikacije za takšne aplikacije, kot so:

- vstop v obrat,
- prijava na delovno mesto,
- avtentifikacija stroja,
- dostop do orodij,
- industrijski prodajni avtomati,
- viličarji in druga vozila,
- omarice in sistemi za shranjevanje,
- proizvodni kioski.

To ne pomeni, da morajo vse aplikacije uporabljati enako raven pooblastil za določenega uporabnika. Skupna pa je lahko plast identifikacije.

Univerzalni čitalniki in modernizacija obstoječe infrastrukture V manjših industrijskih obratih pogosto obstajajo različne generacije kartic in avtentifikacijskih tehnologij hkrati. To je posledica večletnega razvoja infrastrukture: sistem za nadzor dostopa je lahko starejši od kasneje uvedenih proizvodnih rešitev. Prav v takem okolju je pomemben širok spekter podprtih tehnologij. Rešitve ELATEC omogočajo upravljanje različnih in že obstoječih identifikatorjev v podjetju, hkrati pa pripravo infrastrukture za nove tehnologije.

Z vidika integratorja to pomeni možnost postopnega uvajanja novega sistema. Ni treba začeti z zamenjavo celotne identifikacijske infrastrukture. Nova delovna mesta se lahko opremijo s čitalniki, ki podpirajo tehnologije, že uporabljene v podjetju. Prav tako je treba biti pozoren na vprašanje varnosti, ki je pomembno pri sistemih, ki obravnavajo občutljive podatke ali krmilne funkcije. Podjetje ELATEC poudarja podporo naprednim kriptografskim mehanizmom in možnost uporabe Secure Access Module (SAM) v svojih rešitvah. Končna raven varnosti pa je odvisna od celotne arhitekture – čitalnika, identifikatorja, avtentifikacijskega sistema, komunikacije in nadrejene aplikacije.

TWN4 Desktop – rešitev za operacijska delovna mesta

Med izdelki ELATEC, ki so na voljo v ponudbi TME, so čitalniki iz družine TWN4 Desktop, namenjeni predvsem sodelovanju z računalniki, terminali in nadrejenimi sistemi. Zaprto ohišje in integrirana antena omogočata njihovo uporabo kot pripravljen element operacijskega delovnega mesta, brez potrebe po oblikovanju lastnega strojnega dela čitalnika.

Posamezne različice se razlikujejo med drugim po podprtih tehnologijah identifikacije in načinu komunikacije. V izbrani skupini izdelkov so modeli, ki uporabljajo Bluetooth in NFC. To omogoča izbiro naprave glede na obstoječo infrastrukturo in vrsto identifikatorjev, ki se uporabljajo v podjetju.

Kje lahko TWN4 Desktop najde uporabo?

V industrijskem okolju je mogoče razmisliti o uporabi takega čitalnika med drugim pri:

- delovnih mestih HMI – za identifikacijo operaterja pred začetkom dela,

- industrijskih računalnikov – za brezkontaktno prijavo uporabnika,
- proizvodnih terminalih – za dodelitev operacij določenemu delavcu,
- sistemih za izdajo orodij – za identifikacijo osebe, ki prevzema opremo,
- nadrejenih sistemih – kot vmesnik med RFID identifikatorjem in aplikacijo, ki upravlja proces.

Izbira določene različice mora biti odvisna od tehnologij uporabljenih identifikatorjev, vmesnika, ki ga zahteva aplikacija, in pogojev namestitve.

TWN4 Palon Compact – identifikacija vgrajena v delovno mesto ali instalacijo

Vsaka aplikacija ne zahteva čitalnika, postavljenega poleg računalnika ali HMI panela. V mnogih industrijskih sistemih mora biti identifikacijska naprava trajno vključena v konstrukcijo stroja, terminala, omarice ali dostopne točke. Za takšne aplikacije je namenjena družina ELATEC TWN4 Palon Compact.

V ponudbi so med drugim izvedbe Panel, prilagajene za panelno montažo in integracijo z nadrejeno napravo, ter Wall, namenjene za stensko montažo. Takšna rešitev lahko najde uporabo med drugim pri vhodih v zaščitena območja, proizvodnih delovnih mestih, avtomatih za izdajo orodij, sistemih industrijskega prodajnega avtomata, kioskih ali napravah, ki zahtevajo identifikacijo uporabnika.



ELATEC ponuja čitalnike, prilagajene za montažo na steno. Družina Palon Compact podpira tehnologije identifikacije, ki se uporabljajo v pasovih 125 kHz in 13,56 MHz, izbrani različici pa tudi NFC in Bluetooth Low Energy. Razpoložljivost vmesnikov, kot so USB, RS-485, RS-232 ali Wiegand, pa olajša integracijo z različnimi nadrejenimi sistemi in infrastrukturo za nadzor dostopa.

TWN4 OEM – RFID kot del naprave

Pri načrtovanju lastnega stroja, terminala ali naprave RFID identifikacija ne potrebuje izvedbe z zunanjim čitalnikom. ELATEC

ponuja tudi OEM module, ki jih je mogoče neposredno integrirati z elektroniko naprave.

Med izdelki, ki so na voljo v TME, so med drugim rešitve, ki pripadajo družinam TWN4 MultiTech 2 in TWN4 MultiTech 3. Za razliko od namiznih čitalnikov so namenjeni predvsem za vgradnjo, kar integratorju omogoča, da vključi RFID funkcijo neposredno v načrtovan HMI panel, terminal, stroj, prodajni avtomat ali intralogistično napravo.

Prednost takega pristopa je tudi široka izbira načinov komunikacije z nadrejeno elektroniko. Glede na različico so na voljo med drugim vmesniki USB, RS-232, GPIO, I²C, SPI, TTL ali Wiegand.



TXN4 OEM so moduli, zasnovani za integracijo z obstoječimi napravami.

S tem lahko proizvajalec naprave izbere ne le RFID tehnologije, ki jih podpira čitalnik, ampak tudi način njegove integracije z lastno elektroniko in programsko opremo.

Kako zasnovati sistem identifikacije operaterjev?

Pred izbiro določenega čitalnika je vredno opraviti analizo procesa in šele nato izbrati ustrezno napravo. Pri načrtovanju sistema je vredno odgovoriti na nekaj vprašanj, ki bodo pomagala prilagoditi tehnologijo specifičnim zahtevam:

- kaj točno je treba zaščititi,
- kateri identifikatorji se že uporabljajo v podjetju,
- katere RFID tehnologije mora podpirati čitalnik,
- ali sta NFC ali BLE potrebna,
- kje bo naprava nameščena,
- v kakšni obliki naj bo čitalnik nameščen – kot pripravljena namizna naprava, panelni ali stenski čitalnik ali OEM modul, vgrajen v napravo,
- kateri vmesnik zahteva nadrejeni sistem,
- katere podatke je treba posredovati po identifikaciji,
- kako bo sistem upravljal z dovoljenji,
- ali je treba podatke operaterja posredovati naprej v MES, OEE, ERP ali telematski sistem.

Šele na tej podlagi je mogoče določiti ustrezno obliko naprave – od pripravljenega namiznega čitalnika, preko rešitve za

panelno ali stensko montažo, do OEM modula, namenjenega neposredni integraciji z elektroniko stroja ali terminala.

Od posameznega delovnega mesta do arhitekture Smart Factory

Največja vrednost sistema, ki uporablja univerzalno identifikacijo uporabnikov, je možnost njegove postopne širitve.

Na primer, implementacija se lahko začne z nekaj HMI delovnimi mesti. Po preverjanju rešitve se lahko isti identifikator uporabi pri naslednjih strojih. Nato se lahko sistem razširi na orodja, industrijski prodajni avtomat in floto vozil.

Rešitve podjetja ELATEC se odlično obnesejo pri takih predpostavkah: en avtentifikacijski sistem lahko upravlja tako fizični dostop, dostop do podatkov in omrežij, strojno avtentifikacijo, industrijski prodajni avtomat kot tudi identifikacijo voznikov vozil. Pri tem je vredno upoštevati, da »en identifikator« ne pomeni »en informacijski sistem«. Posamezne aplikacije lahko imajo lastna pravila avtentifikacije, medtem ko ostaja skupni element način identifikacije uporabnika.

Povzetek

RFID v proizvodnem obratu lahko opravlja veliko širšo funkcijo kot klasičen nadzor dostopa. Pri ustrezno zasnovani arhitekturi postane plast za identifikacijo uporabnika za HMI, PLC, stroje, orodne sisteme in intralogistične naprave.

Največjo vrednost daje povezava identifikacije z avtentifikacijo in nadrejenim sistemom. Omogoča odgovor ne le na vprašanje, kdo uporablja določeno napravo, ampak tudi, ali bi moral imeti dostop do nje in katere podatke je mogoče povezati z njegovim delom.

Ponudba podjetja ELATEC omogoča izbiro oblike čitalnika glede na način njegove integracije s sistemom. TWN4 Desktop se izkaže kot pripravljen čitalnik, ki sodeluje z računalnikom ali terminalom, TWN4 Palon Compact omogoča vključitev identifikacije v panel ali stensko instalacijo, medtem ko so moduli TWN4 OEM namenjeni neposredni vgradnji v načrtovano napravo. Tako lahko isti koncept identifikacije uporabimo tako pri posameznem operacijskem delovnem mestu, kot tudi kot element bolj razširjene infrastrukture obrata.

Na koncu o uspehu konkretne implementacije ne odloča sam čitalnik, temveč način vključitve identifikacije v obstoječo arhitekturo avtomatizacije, IT sistemov in varnostnih postopkov. Prav zato bi moral projekt implementacije RFID za industrijo začeti z analizo procesa in zahtev, šele nato pa z izbiro konkretne naprave.

<https://www.tme.eu>



Signal pred inteligenco

Renesas Electronics

Avtor: Karthi Gopalan, podpredsednik za poslovno strategijo

Robot, ki ga poganja umetna inteligenca, lahko deluje neverjetno inteligentno – dokler mu napačen signal ne posreduje napačnih podatkov.

Robotska roka, ki svoj položaj napačno oceni za delček stopinje, lahko prime napačen del. Skladiščni robot, ki uporablja podatke senzorja šuma, se lahko nenadoma ustavi ali zaide s poti. Humanoidni robot, ki izgubi natančno povratno informacijo v konicah prstov, lahko spusti tisto, kar drži. Ali še huje, lahko postane varnostno tveganje.

Naprava sama ne ve, da se moti. Preprosto deluje – samozavestno, natančno in v napačno smer. Samozavest brez natančnosti ni inteligenca. Je težava.

Umetna inteligenca je postala operativna raven celotnega fizičnega sveta, vgrajena v tovarne, vozila, robote, satelite in podatkovne centre. Umetna inteligenca se je razširila na vseh področjih, vendar pa pod vsakim inteligentnim sistemom obstaja temelj, ki vse to omogoča. Ta temelj je analogen.

Medtem ko se v industriji razpravlja o modelih, parametrih in računalniških arhitekturah, se na ravni signalov odvija tišja, a pomembnejša zgodba. Vsak avtonomen sistem, ne glede na to, kako napredna je njegova programska oprema, mora na koncu zaznati resnični svet, se nanj odzvati in v njem delovati. Vmesnik med fizičnim in digitalnim svetom je analogen, in ko sistemi postajajo vse pametnejši, se ta vmesnik ne le širi, ampak se tudi množi.

V humanoidni robotiki analogna signalna veriga omogoča umetni inteligenci fizično interakcijo z realnim svetom. Analogna integrirana vezja pomagajo robotom pretvoriti realnost v obliko, ki jo digitalna inteligenca lahko razume, na primer:

- zaznavajo razmere v resničnem svetu,
- obdelujejo in ojačujejo signale,
- filtrirajo in odstranjujejo šum,
- jih pretvorijo v digitalne podatke, ki jih lahko uporabljajo procesorji in programska oprema za umetno inteligenco.

»Signalna veriga« je pot od začetka do konca, ki poteka od senzorjev prek analognih vmesnikov, pretvorbe, sinhronizacije, napajanja in krmiljenja vse do podatkov, ki jih model dejansko zazna. Bolj kot je robot zmogljiv, bolj zahtevna postaja signalna veriga.

Pri umetni inteligenci na robu omrežja se postavlja vprašanje, ali je analogna podlaga, na kateri temelji, dovolj trdna – ne le zato, da bi bila zanesljiva, ampak tudi zato, da bi bila hitra, natančna in sposobna delovati na najvišji ravni, ki jo zahteva aplikacija.

Platform	Analog IC Content	(Illustrative)
Fixed Automation	1x — Baseline	
Collaborative Robot	2–3x — Compounds	
Autonomous Vehicle	3–4x — Accelerates	
Humanoid Robot	5x+ — Full depth required	

Opomba: Multiplikatorji so usmerjeni in služijo zgolj za ponazoritev oblike krivulje.

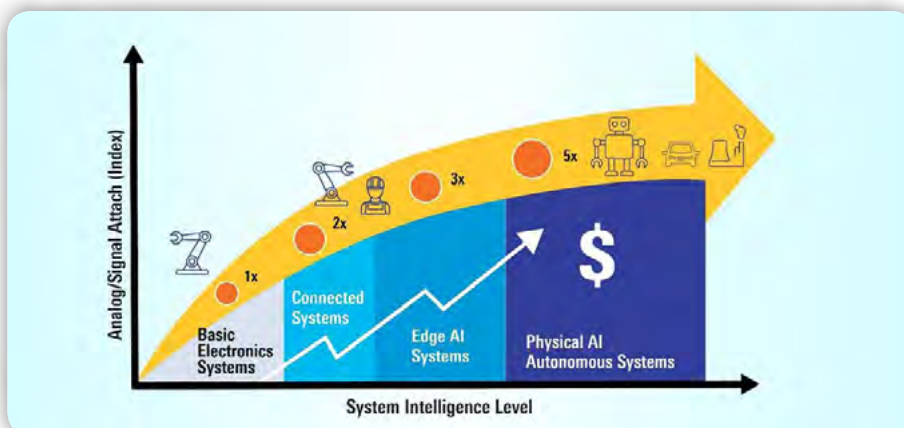
Krivulja analogne kompleksnosti

Da bi razumeli, kaj to v praksi pomeni, je koristno poimenovati vzorec, ki se pojavi vsakič, ko fizična umetna inteligenca preide iz faze prototipov v serijsko proizvodnjo.

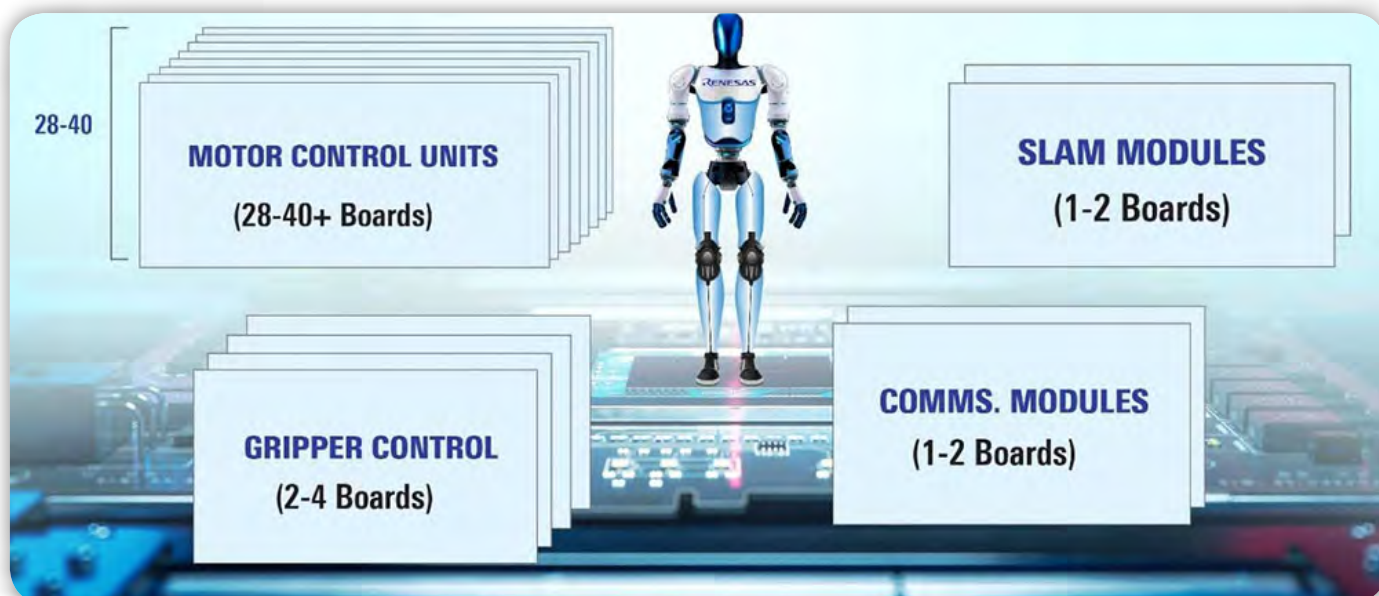
Obstaja vzorec, ki se ponavlja na vseh področjih, kjer se uveljavlja fizična umetna inteligenca. Ko stroji postajajo zmogljivejši, avtonomnejši, natančnejši in vse bolj pomembni za varnost, se količina analognih in mešanih signalov, potrebnih za njihovo delovanje, ne povečuje linearno, temveč eksponentno.

Na sliki 1 se z naraščanjem avtonomije povečuje tudi obseg analognih komponent: več senzorskih vmesnikov, več pretvornikov podatkov, več kanalov za krmiljenje motorjev, več napajalnih vodov in strožji nadzor varnosti.

Prav pri humanoidu se ta krivulja najbolj izrazito kaže. Vsak gib, vsak korak, vsaka odločitev izhaja iz več kot 200 analognih integriranih vezij, ki zajemajo krmiljenje motorjev na vsakem sklepu, zaznavanje položaja, povratne informacije o navoru in sili, upravljanje z energijo ter zaznavni sloj, ki vključuje LiDAR, vid, dotik, pritisk in impedanco (slika 2). Na konici prsta, kjer



Slika 1. Vsebinska analognih integriranih vezij je sorazmerna z avtonomijo



Slika 2. Število integriranih vezij, ki omogočajo krmljenje motorjev na vsakem sklepu humanoida

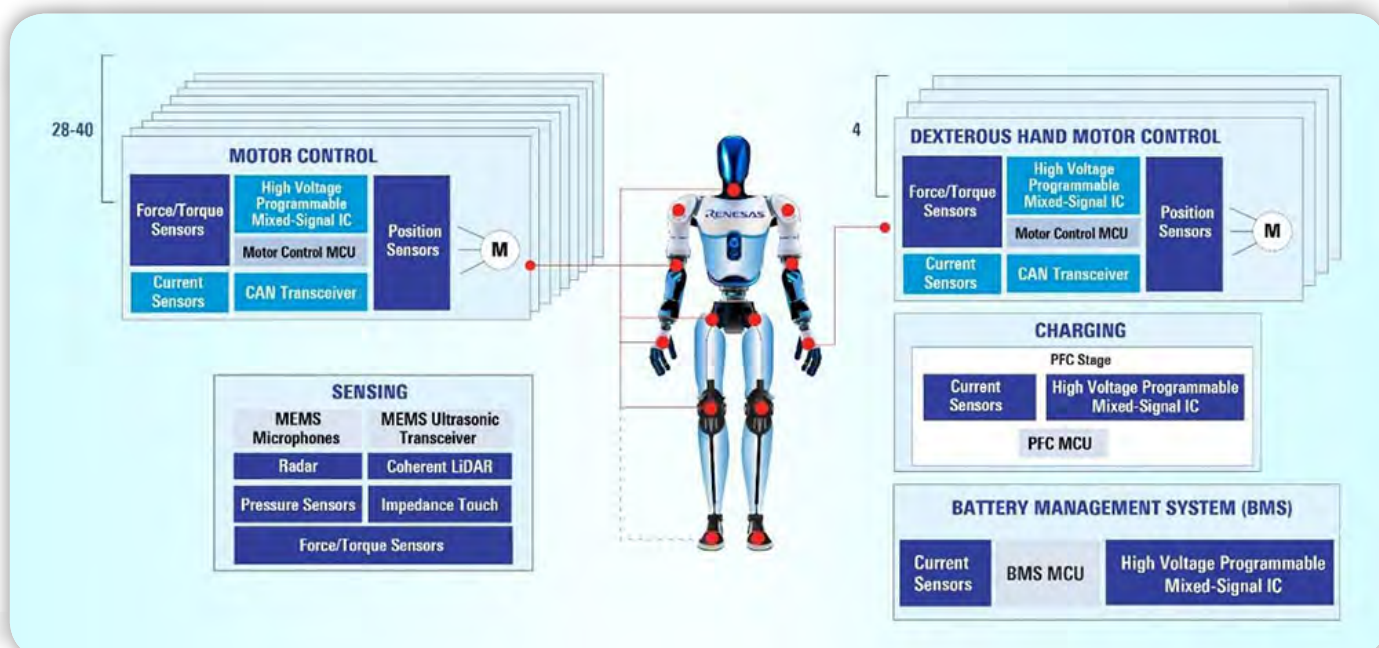
milimetri in milisekunde odločajo o uspešnosti prijema, se arhitektura ponovno podvaja. Inteligenca se povečuje. S tem se signalna veriga še dodatno poglobi, pri čemer na vsaki ravni ni zahteva le po signalu, ki je dovolj dober, da mu lahko zaupamo, temveč po signalu, ki je dovolj natančen, dovolj hiter in dovolj stabilen, da lahko deluje.

Signalna veriga humanoida se ponavlja na vsakem sklepu: motorni pogon in merjenje toka, povratne informacije o položaju (enkoderji/resolverji), povratne informacije o navoru/sili, lokalno upravljanje z energijo ter komunikacije z visoko zanesljivostjo – vse to se razteza do merjenja pritiska/impe-dance na konicah prstov za stabilen oprijem (slika 3). Ana-logna tehnologija ni podrejena umetni inteligenci. Prav ona umetni inteligenci daje fizično obliko. Podjetje Renesas pa je od začetka do konca zasnovano tako, da to omogoča.

Zakaj je robotika v realnem svetu tako zahtevna

Industrijska okolja so električno neugodna. Temperaturna nihanja, vibracije, elektromagnetni šum in dolgi kabelski vodi poslabšajo kakovost signala na načine, ki jih programska oprema naknadno ne more kompenzirati. Senzor položaja, ki se pod toplotno obremenitvijo odkloni za pol stopinje, ne sproži opozorila o napaki, temveč generira napačen odgovor, na podlagi katerega sistem umetne inteligence deluje z popolnim zaupanjem. To je razlika med umetno inteligenco, ki deluje v laboratoriju, in umetno inteligenco, ki deluje v praksi.

Za vzpostavitev povezav niso potrebni le posamezni sestavni deli, temveč celovita arhitektura signalov, v kateri so senzorji, krmljenje, napajanje in povezljivost zasnovani tako, da delujejo kot



Slika 3. Zgradba signalne verige humanoidne platforme

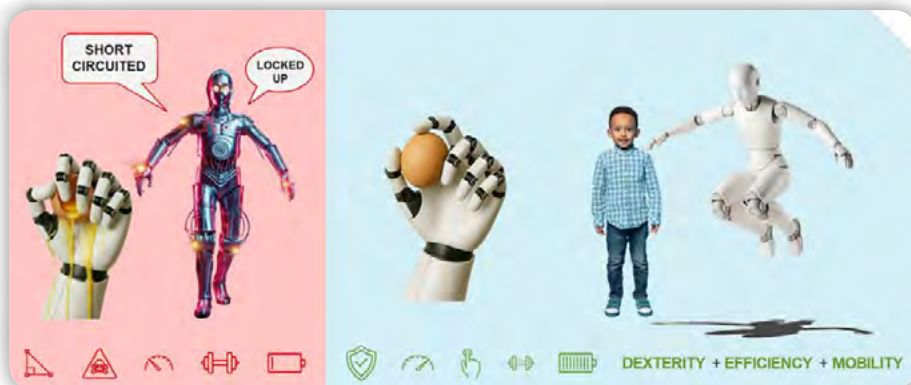
enoten sistem, ne pa da so le naknadno sestavljeni skupaj. Za razvijalce robotike je prav ta kompleksnost tista, ki predstavlja izziv pri načrtovanju.

V dejanski umetni inteligenci natančnost ni le ena sama specifikacija – gre za lastnost celotnega sistema. Vključuje kalibracijo, časovno usklajenost, integriteto napajanja in krmiljenje, ki upošteva napake. Zaznavanje, krmiljenje motorjev, dovajanje energije in komunikacije se ne smejo več obravnavati kot sekundarne odločitve glede strojne opreme, ki se dodajo ali spremenijo šele kasneje v razvojnem ciklu. Vse to je treba zasnovati skupaj že od samega začetka.

Prihodnost robotike

Uspešni sistemi ne bodo tisti z največjimi modeli. Uspešni bodo tisti, ki v realnih pogojih zagotavljajo najzanesljivejše delovanje glede na temperaturo, vibracije, zakasnitve, šum, omejitve porabe energije, varnostne omejitve in dolge življenjske cikle. Če razvijate fizično umetno inteligenco, obravnavajte analogno tehnologijo kot osrednjo os zasnove: načrtujte jo že v zgodnji fazi, zanjo izrecno zagotovite proračunska sredstva ter zasnujte senzorje, krmiljenje, napajanje in povezljivost kot enoten sistem, ne pa kot kup posameznih delov.

Za vzpostavitev povezave niso potrebni le posamezni sestavni deli, temveč celovita arhitektura signalov – v kateri so sen-



Slika 4: Cena napak – in koristi pravilnega ravnanja

zorji, krmiljenje, napajanje in povezljivost zasnovani tako, da delujejo kot enoten sistem, ne pa da so zgolj naknadno dodani (slika 4).

Roboti, ki si v resničnem svetu – v tovarni, v skladišču, v domu – pridobijo zaupanje, se ne bodo razlikovali po velikosti svojih modelov. Razlikovali se bodo po tem, ali je bil sistem, na katerem temelji njihova inteligenca, zasnovan za dolgoročno delovanje: ali je bil zasnovan že v zgodnji fazi, zgrajen kot enoten sistem in tehnološko prilagojen za delovanje v vseh razmerah, ki jih lahko prinese resnični svet.

Umetna inteligenca se širi v širino. Signalna veriga pa se mora poglobiti. Ta tekma se je že začela.

<https://www.renesas.com>



Nova knjiga za PROGRAMERJE

KUPI ZDAJ!

Varnost električnih naprav - 3. del: Plazilna razdalja

V prejšnjih dveh prispevkih smo spoznali vrste izolacije in parametre, ki vplivajo na njeno dimenzioniranje: nazivno napetost, prenapetostno kategorijo in iz nje določeno nazivno impulzno napetost, stopnjo onesnaženja in nadmorsko višino.

Nato smo se lotili konkretnih razdalj med prevodnimi deli na tiskanem vezju po standardih IPC-2221 [1] in IEC 60664-1 [2]. Pri slednjem smo se zaenkrat ustavili pri **zračnih razdaljah**. Tokrat bomo šli korak naprej in se podrobneje lotili **plazilnih razdalj**.

Pri zračni razdalji smo ugotovili, da mora biti razdalja med prevodnima deloma dovolj velika, da električno polje v zraku ne povzroči preboja. Pri plazilni razdalji pa je mehanizem nekoliko drugačen. Med prevodnima deloma je površina izolacijskega materiala, po kateri lahko zaradi vlage in nečistoč steče majhen površinski tok. Ta sam po sebi še ne pomeni odpovedi izolacije, lahko pa povzroči lokalno segrevanje in sušenje površine ter nastanek suhih področij z večjo električno upornostjo. Na teh mestih se poveča električna poljska jakost in lahko pride do majhnih površinskih razelektritev. Ponavljajoče se razelektritve lahko postopoma poškodujejo izolacijski material in predvsem pri organskih materialih povzročijo njegovo karbonizacijo. Na površini začne nastajati trajna prevodna pot, po kateri lahko steče vedno večji tok. Proces imenujemo **nastajanje prevodnih poti** (ang. *tracking*), končno odpoved izolacije pa **površinski preboj** (ang. *tracking failure*). Kako hitro bo do tega prišlo, ni odvisno samo od napetosti in razdalje med prevodnikoma, temveč v veliki meri tudi od onesnaženosti površine in lastnosti samega izolacijskega materiala.

In tukaj postane pomembna **stopnja onesnaženja** (*pollution degree*), ki smo jo spoznali že v prvem delu prispevka. Večja stopnja onesnaženja pomeni večjo verjetnost, da bo površina izolatorja postala prevodna, zato standard IEC 60664-1 zahteva tudi večjo plazilno razdaljo. Za razliko od zračne razdalje pa pri plazilni razdalji potrebujemo še en podatek in sicer **primerjalni indeks** odpornosti proti nastajanju prevodnih poti **CTI** (Comparative Tracking Index).

Primerjalni indeks CTI

Primerjalni indeks CTI se določa s standardiziranim preskusom, pri katerem sta na površino vzorca izolacijskega materiala nameščeni elektrodi, med kateri je priključena določena napetost. Med elektrodi se v predpisanih intervalih nanašajo kapljice prevodne raztopine, ob tem se spremlja, ali na površini nastane trajna prevodna pot.

Vrednost CTI je povezana z najvišjo preskusno napetostjo v voltih, pri kateri material prestopi predpisani preskus s 50

kapljicami elektrolita. Gre za rezultat standardiziranega primerjalnega preskusa materiala, zato na primer CTI 400 ne pomeni, da lahko izolator v napravi trajno obratuje pri 400 V. Pri materialih z višjim CTI za enake električne in okoljske pogoje praviloma uporabimo manjšo plazilno razdaljo. Standard IEC 60664-1 izolacijske materiale razdeli glede na CTI v štiri materialne skupine, predstavljene v tabeli 1. Pri načrtovanju tiskanega vezja ni dovolj poznati zgolj materiala, na primer FR-4, saj oznaka FR-4 sama po sebi še ne določa njegovega CTI. CTI različnih FR-4 laminatov se lahko razlikuje in za varnostno dimenzioniranje je treba podatek poiskati v tehničnih podatkih konkretnega laminata oziroma ga določiti z ustreznim preskusom.

Kako določimo plazilno razdaljo?

Postopek določanja plazilne razdalje je nekoliko drugačen od določanja zračne razdalje. Pri **zračni razdalji** so bili ključni nazivna impulzna napetost, ki izhaja iz napetosti napajalnega sistema in prenapetostne kategorije, nadmorska višina in stopnja onesnaženja okolja. Pri določanju **plazilne razdalje** pa izhajamo iz delovne napetosti izolacije (*working voltage*), stopnje onesnaženja in materialne skupine glede na CTI.

Za razliko od zračne razdalje, kjer so odločilne predvsem kratkotrajne prenapetostne obremenitve, je pri plazilni razdalji pomembna **dolgotrajna napetostna obremenitev** površine izolatorja. Zato kot osnovo za njeno določanje uporabljamo **efektivno vrednost delovne napetosti** (*RMS working voltage*) med prevodnima deloma. Pri sinusni izmenični napetosti

Materialna skupina	CTI
I	CTI $\geq$ 600
II	400 $\leq$ CTI < 600
IIIa	175 $\leq$ CTI < 400
IIIb	100 $\leq$ CTI < 175

Tabela 1: Vrednosti indeksa CTI za različne skupine materialov glede na standard IEC 60664-1

tako uporabimo njeno efektivno in ne vršne vrednosti. Tabela F.5 standarda IEC 60664-1 zato podaja zahtevane plazilne razdalje neposredno glede na efektivno vrednost napetosti.

Pri enosmerni ali čisti izmenični napetosti je določitev enostavna, nekoliko več pozornosti zahtevajo napetosti, sestavljene iz enosmerne in izmenične komponente in pa nesinusne periodične napetosti. Tudi v teh primerih je za določanje plazilne razdalje pomembna efektivna vrednost celotne napetosti, ki dejansko nastopa na izolaciji, ne zgolj njena izmenična komponenta ali vršna vrednost.

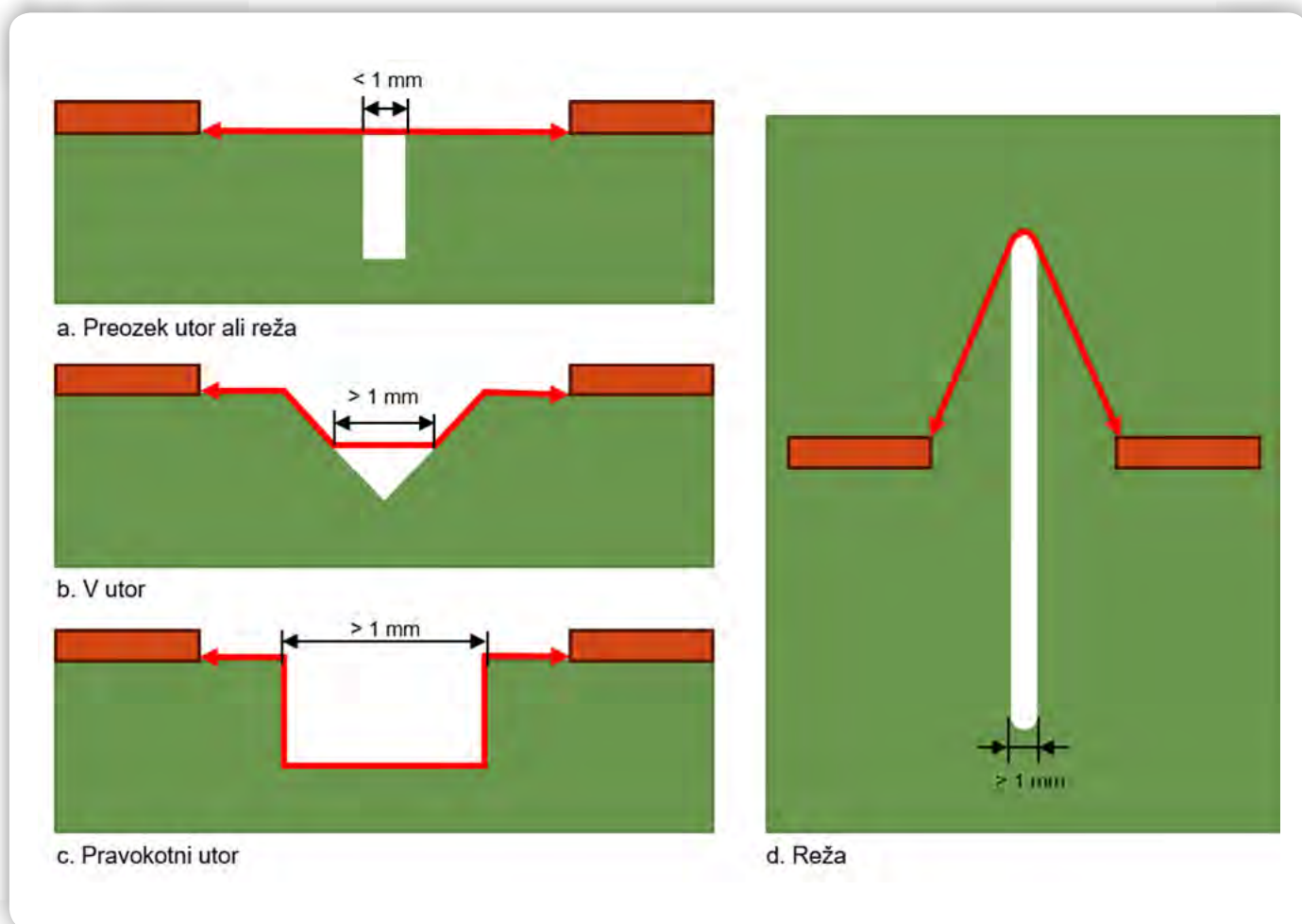
Ko poznamo delovno napetost, potrebujemo še **stopnjo onesnaženja** in **materialno skupino** izolatorja glede na CTI. Iz teh treh podatkov lahko po tabeli F.5 standarda IEC 60664-1 določimo minimalno plazilno razdaljo. Za tiskana vezja pri stopnji onesnaženja PD2 standard podaja posebne, zmanjšane plazilne razdalje, ki veljajo za materialne skupine I, II in IIIa. Tako za tiskano vezje iz materialne skupine **IIIa** z delovno napetostjo **230 V** pri stopnji onesnaženja **PD2** iz tabele dobimo plazilno razdaljo **1 mm**. Ker pa plazilna razdalja ne sme biti manjša od zahtevane zračne razdalje, moramo v našem primeru upoštevati najmanj **1,5 mm**, kolikor smo za osnovno izolacijo določili že v prejšnjem prispevku. Če pa bi uporabili

material iz skupine **IIIb** ali podatek o CTI materiala tiskanega vezja ne bi bil znan, bi morali plazilno razdaljo določiti po splošnih zahtevah za materialno skupino III. V našem primeru bi ta znašala **2,5 mm**.

Kaj pa, če je za napravo zahtevana **ojačena izolacija**? Pri določanju zračne razdalje moramo za ojačeno izolacijo uporabiti naslednjo višjo vrednost nazivne impulzne napetosti iz tabele, zato zahtevana zračna razdalja ni nujno dvakrat večja od razdalje za osnovno izolacijo. Pri plazilni razdalji pa velja enostavnejše pravilo: za ojačeno izolacijo je zahtevana **dvakratna** plazilna razdalja osnovne izolacije.

Tehnike povečanja plazilne razdalje na tiskanih vezjih

V praksi pogosto naletimo na primer, ko zahtevane plazilne razdalje zaradi omejenih dimenzij tiskanega vezja ne moremo zagotoviti zgolj z večjim razmikom med povezavami. Eden od načinov za povečanje plazilne razdalje je izdelava reže oziroma utora med prevodnima deloma. Vendar standard IEC 60664-1 določa minimalno širino utora, da se ta pri določanju plazilne poti sploh lahko upošteva. Ta znaša **0,25 mm** pri **PD1**, **1 mm**



Slika 1: Izvedbe utorov za povečanje plazilne razdalje, prikazanih v prerezu (a, b in c) in izvedba reže skozi celotno debelino tiskanega vezja, prikazana od zgoraj (d) z označenimi plazilnimi razdaljami. Minimalne širine reže so izbrane za stopnjo onesnaženja okolja PD2.

	PCB	Ostali materiali		
	skupina I, II, IIIa	Skupina I	Skupina II	Skupina III
50 V	0,04 mm	0,60 mm	0,85 mm	1,20 mm
100 V	0,16 mm	0,71 mm	1,00 mm	1,40 mm
160 V	0,40 mm	0,80 mm	1,10 mm	1,60 mm
200 V	0,63 mm	1,00 mm	1,40 mm	2,00 mm
250 V	1,00 mm	1,25 mm	1,80 mm	2,50 mm
320 V	1,60 mm	1,60 mm	2,20 mm	3,20 mm
400 V	2,00 mm	2,00 mm	2,80 mm	4,00 mm
500 V	2,50 mm	2,50 mm	3,60 mm	5,00 mm

Tabela 2: Minimalne plazilne razdalje pri stopnji onesnaženja 2 po IEC 60664-1, povzeto po tabeli F.5.

pri **PD2** in **1,5 mm** pri **PD3**. Če je zahtevana zračna razdalja manjša od 3 mm, se lahko vrednost minimalne širine reže zmanjša na eno tretjino zahtevane zračne razdalje. Če je utor ožji od minimalne vrednosti, se pri določanju plazilne razdalje njegova notranjost ne upošteva, temveč se pot meri neposredno čez utor. Pri dovolj širokem utoru pa plazilna pot sledi njegovemu obrisu, s čimer lahko zahtevano plazilno razdaljo dosežemo na bistveno manjši površini tiskanega vezja.

Vpliv oblike utora oziroma reže na določanje plazilne razdalje je prikazan na sliki 1. Ozek utor, katerega širina je manjša od predpisane minimalne širine, se pri določanju plazilne razdalje ne upošteva, zato se razdalja meri neposredno preko njega (a). Če je utor dovolj širok, plazilna pot sledi njegovemu profilu z upoštevanjem minimalne razdalje in se tako podaljša (b in c). Podoben učinek lahko na tiskanem vezju dosežemo z režo skozi celotno debelino ploščice (d), kar lahko plazilno razdaljo znatno poveča tudi pri majhni neposredni razdalji med prevodnikoma.

Pri uporabi rež je treba paziti tudi na dejansko lego prevodnih delov. Reža sama po sebi še ne zagotavlja zahtevane izolacijske razdalje, če se ji na notranjih plasteh približujejo bakrene površine ali če so njeni robovi metalizirani. Pri načrtovanju je zato smiselno določiti izolacijsko območje, iz katerega odstra-

nimo baker na vseh relevantnih plasteh, ter preveriti končno geometrijo izdelanega in sestavljenega vezja.

Pri preverjanju plazilnih razdalj ne smemo pozabiti, da tiskano vezje ni edini del izolacijske poti. Zahtevane razdalje morajo biti zagotovljene tudi med spajkalnimi otoki in priključki ter po površini samih komponent, kot so transformatorji, optosklopniki, releji in konektorji. Tipičen primer je optosklopnik, nameščen nad izolacijsko režo v tiskanem vezju. Reža podaljša plazilno pot po površini tiskanega vezja, vendar med primarno in sekundarno stranjo še vedno obstaja pot po površini ohišja optosklopnika. Ker je to izdelano iz drugega izolacijskega materiala, se pri določanju te plazilne razdalje upoštevajo njegove lastnosti, vključno s CTI. Optosklopniki, namenjeni zagotavljanju varnostne izolacije, morajo zato imeti ustrezno razporeditev priključkov, zadostne zunanje zračne in plazilne razdalje ter seveda ohišje iz ustreznega materiala z dovolj visokim CTI.

V tem prispevku smo obdelali glavne aspekte določitve plazilne razdalje. Skupaj z zračno razdaljo moramo obe preveriti na celotni izolacijski poti, pri čemer si lahko pri prostorsko omejenih vezjih pomagamo tudi z ustrezno oblikovani utori in režami. Vendar s tem še nismo zajeli vseh možnih izvedb izolacij. Med dvema prevodnima deloma lahko izolacijska pot poteka tudi neposredno skozi trdni izolacijski material. V naslednjem prispevku si bomo zato ogledali še tretjo značilno razdaljo, to je **razdaljo skozi izolacijo (DTI)** in vse posebnosti njenega dimenzioniranja, ki ga pa ne moremo določiti zgolj z odčitavanjem zahtevanih razdalj iz tabel.

Literatura:

- [1] »IPC 2221C-2023 - Generic Standard on Printed Board Design«. Pridobljeno: 18. september 2026. [Na spletu]. Dostopno na: <https://webstore.ansi.org/standards/ipc/ipc2221c2023?srsltid=AU7gw4VfAy-DhIc7zrYt0oSDYkYIZI-CAQXAud-O6G6xQFMEdFIS2Dtw>
- [2] »IEC 60664-1:2020 | IEC«. Pridobljeno: 10. julij 2026. [Na spletu]. Dostopno na: <https://webstore.iec.ch/en/publication/59671>

<https://fe.uni-lj.si>



NAROČNIŠKA AKCIJA

NAROČI SE NA REVIO

AKCIJSKA CENA
OB LETNI NAROČNINI Z DARILOM

Letna naročnina na revijo Računalniške novice
(21 številki) skupaj z darilom za samo **33,50 €**

Akcija velja do razprodaje zalog! Poročila IČ velja za podaljšanje naročnine oz. za naročnike, ki so že bili naročeni na mesec v zadnjih 2 letih.

T: 01 620 88 00 M: naročnine@stromboli.si

IZBERI DARILO:

USB ključek, PowerBank ali bluetooth slušalice

USB Mini Apacer AH155 128 GB 3.2

PowerBank IgoPower® 10.000mAh

Bluetooth slušalice Jantzen AKC-BK-FKJ

NAROČI SE ZDAJ

FPGA integrirana vezja in simulacije

Avtor: Klemen Bravhar

Email: bravhar.klemen@gmail.com

Dandanes si načrtovanja kompleksnih elektronskih vezij ne moremo predstavljati brez predhodnih simulacij, saj nam omogočajo podroben vpogled v odziv posameznih komponent glede na vhodne pogoje.

S simulacijami lahko natančno analiziramo obnašanje vsakega elementa znotraj novo nastalega vezja – od pasivnih komponent, kot so uporniki in kondenzatorji, do kompleksnejših aktivnih elementov, kot so tranzistorji in operacijski ojačevalniki. Poleg tega simulacije bistveno skrajšajo razvojni cikel in do določene mere tudi znižajo stroške razvoja, saj v zgodnjih fazah projekta ni treba izdelovati fizičnih prototipov. Napake in pomanjkljivosti vezja je tako mogoče odkriti in odpraviti že v virtualnem okolju, preden se sploh začne postopek fizične realizacije. S tem se izognemo dragim iteracijam pri naročanju komponent, spajkanju in merjenju, ki bi sicer znatno obremenile tako časovni kot finančni okvir projekta.

Enako velja za vezja s programirljivimi logičnimi napravami (FPGA), kjer simulacije predstavljajo nepogrešljivo orodje v procesu načrtovanja. S prehodnimi simulacijami digitalnih vezij, opisanih v jeziku strojnem jeziku VHDL ali Verilog, lahko hitro in učinkovito preverimo logično pravilnost zasnove ter zagotovimo, da vezje deluje skladno z zahtevami specifikacije. Poleg funkcionalne preverbe nam simulacije omogočajo tudi analizo časovnih zamikov in morebitnih tveganj pri prenosih signalov, kar je ključnega pomena za zanesljivo delovanje pri visokih frekvencah.

Simulacijska orodja

Na trgu simulacijskih orodij za digitalna vezja najdemo širok nabor različnih rešitev, ki segajo od odprtokodnih in brezplačnih orodij, prek specializiranih simulatorjev za razvoj FPGA vezij, vse do naprednih profesionalnih orodij, ki so plačljiva. Vsaka od teh kategorij ima svoje prednosti in omejitve, zato je izbira ustreznega orodja odvisna od zahtev projekta, razpoložljivega proračuna in izkušenosti razvijalca.

Če se sprva osredotočimo na brezplačna orodja za simulacijo, velja omeniti, da imajo ta orodja določene omejitve. V večini primerov ne podpirajo mešanja jezikov, kot sta VHDL in Verilog znotraj istega projekta, kljub temu pa omogočajo simuliranje razvitega RTL opisa v enem samem strojnem jeziku. Najbolj popularno odprtokodno simulacijsko orodje za VHDL je GHDL, medtem ko se za Verilog najpogosteje uporabljata Verilator in Icarus Verilog. Verilator se od ostalih razlikuje po tem, da pretvori Verilog oziroma SystemVerilog kodo v C++ ali SystemC, kar rezultira v izjemno hitrih simulacijah, ki so primerne za velike dizajne in avtomatizirano regresijsko testiranje. V obeh primerih potrebujemo tudi namenski pregledovalnik valovnih oblik (waveform viewer), ki nam vizualno predstavi časovni potek signalov skozi logična vrata in sekvenčna vezja. Najpogosteje se v ta namen uporablja odprtokodno orodje GTKWave, ki bere standardne VCD in FST datoteke, ki jih generirajo omenjeni simulatorji. Novejša alternativa je Surfer, ki ponuja sodobnejši

in preglednejši grafični vmesnik.

Ker se danes veliko razvojnega dela odvija tudi v oblaku, je mogoče vezje simulirati neposredno v spletnem brskalniku prek platforme EDA Playground, ki ne zahteva nobene lokalne namestitve. Platforma podpira več simulacijskih zaledij, vključno z GHDL, Icarus Verilog in Verilatorjem, poleg tega pa v plačljivi različici omogoča dostop tudi do nekaterih komercialnih simulatorjev, kot sta Aldec in Synopsys. Platforma je še posebej primerna za učenje, hitro preizkušanje idej in deljenje primerov kode z drugimi. Prav tako ne smemo pozabiti, da razvojno okolje AMD Vivado vsebuje vgrajen simulator, ki je del brezplačne WebPACK licence. Neposredno znotraj Vivado okolja je mogoče pognati simulacijo in si v integriranem grafičnem vmesniku ogledati časovni potek signalov, kar poenostavi razvojni tok pri delu s Xilinx oziroma AMD FPGA napravami.

Za profesionalne namene obstajajo plačljivi simulatorji, ki v industriji veljajo za t.i. veliko trojko: Siemens Questa Sim (prej znan kot ModelSim), Cadence Xcelium (naslednik Incisive oziroma NCSim simulatorja) in Synopsys VCS. Ta orodja poleg klasičnih simulacij ponujajo tudi številne napredne funkcionalnosti, kot so funkcionalna pokritost (functional coverage), merjenje pokritosti kode (code coverage), sočasna uporaba VHDL in Verilog oziroma SystemVerilog jezika znotraj istega projekta, podpora za napredne verifikacijske metodologije UVM in OSVVM, statična časovna analiza ter integracija z orodji za formalno verifikacijo. Poleg velike trojke obstajajo tudi druga komercialna orodja, kot so Active-HDL in Riviera-PRO podjetja Aldec, Aeolus-DS ter MPSim, ki so prav tako prisotni v določenih industrijskih segmentih.

Med plačljivimi simulatorji ima posebno mesto ModelSim oziroma QuestaSim, saj sta obe različici vključeni v priljubljena FPGA razvojna okolja – ModelSim v Intel Quartus Prime, QuestaSim pa v Lattice Radiant. V okviru teh okolij sta orodji do določene mere brezplačni, a z omejitvami glede velikosti dizajna in nekaterih naprednih funkcionalnosti, ki so na voljo le v polni komercialni različici.

Metodologija simuliranja

Če zelo poenostavimo simulacijo nekega FPGA projekta, potrebujemo dve datoteki. V prvi opisujemo RTL funkcionalnost našega vezja, medtem ko v drugi datoteki opišemo potek vhodnih signalov – to datoteko poimenujemo testno okolje (ang. Testbench). Tudi testno okolje je zapisano v jeziku VHDL oziroma Verilog, odvisno od izbranega simulatorja in projekta.

Preprosto testno okolje najprej definira začetne pogoje vezja, kot so vrednosti urinega signala, reset signal in začetne vrednosti vhodov. Temu nato sledi načrtovano spreminjanje stanj vhodnih signalov, ki se posredujejo v funkcionalnost opisano v

prvi datoteki. Poleg tega lahko v testno okolje dodamo tudi monitorje oziroma preverjevalnike (checkers), katerih naloga je, da samodejno primerjajo dejanske izhodne signale iz funkcionalnega bloka s pričakovanimi vrednostmi, ki smo jih vnaprej določili. Na ta način simulacija ni le vizualni pregled valovnih oblik, temveč postane avtomatiziran postopek preverjanja pravilnosti delovanja vezja. V nadaljevanju bomo ta pristop simuliranja podprli s konkretnim primerom.

Poleg osnovnega pristopa se velja na kratko ozreti tudi na naprednejše verifikacijske metodologije, kot sta UVM (Universal Verification Methodology) in OSVVM (Open Source VHDL Verification Methodology) ter mnoge druge. UVM metodologija je zasnovana v jeziku SystemVerilog in v večini primerov podprta le v plačljivih komercialnih simulatorjih, kot so Questa, Xcelium in VCS. Nasprotno je OSVVM opisana v jeziku VHDL in predstavlja odprtokodno verifikacijsko metodologijo, ki je dobro podprta tudi v brezplačnem simulatorju GHDL. Obe metodologiji sta namenjeni strukturiranemu in ponovno uporabnemu načinu gradnje testnih okolij, kar je še posebej pomembno pri večjih in kompleksnejših projektih, kjer preprosto testno okolje ne zadostuje več. Ključna prednost omenjenih metodologij je uvedba konceptov, kot so naključno generiranje vhodnih podatkov (constrained random verification), merjenje funkcionalne pokritosti (functional coverage) ter modularna arhitektura testnih komponent, ki jih je mogoče prenašati med projekti.

Koraki simuliranja

V prejšnjem prispevku smo govorili o časovnih omejitvah neke RTL strukture, integrirane v FPGA vezje. Kot smo opazili, je bilo v primeru, ko je bila definirana frekvenca previsoka, Vivado okolje nezmožno časovno zapreti RTL strukturo. Da smo projekt uspešno časovno zaprli, smo frekvenco vezja znižali, nakar je Vivado okolje uspešno umestilo RTL strukturo v izbrano FPGA vezje. Časovni odziv vezja lahko preverimo tudi s simulacijskimi koraki, s katerimi hitro ugotovimo, ali kršimo časovne omejitve tipa Setup oziroma Hold.

Neko RTL strukturo lahko simuliramo v več korakih znotraj samega toka implementacije FPGA projekta:

- 1. *Funkcionalna simulacija (pre-synthesis)* Vedno ko začnemo z novim projektom, izvedemo funkcionalno simulacijo, s katero potrdimo, da zasnovana funkcionalna arhitektura pokriva vse projektne zahteve. V tej fazi simulacija poteka brez upoštevanja časovnih zakasnitve komponent in povezav – preverja se izključno logična pravilnost delovanja vezja. Gre za najhitrejši in najpogostejše izvajan tip simulacije, ki ga izvajamo skozi celoten razvojni proces.
- 2. *Simulacija po sintezi (post-synthesis)* Naslednji korak je simulacija po sintezi vezja, ki nam da dober vpogled v to, ali je bilo vezje pravilno sintetizirano in ali še vedno podpira zahtevano funkcionalnost. V tej fazi so že upoštevane nekatere časovne zakasnitve, ki izhajajo iz tehnološke knjižnice ciljnega FPGA vezja, medtem ko zakasnitve fizičnih povezav med komponentami še niso v celoti znane.
- 3. *Simulacija po implementaciji (post-implementation)* V zadnjem koraku preverimo, ali je vezje po celotni implementaciji obdržalo pravilno funkcionalnost, ter ugotovimo, v kolikšni meri so zakasnitve fizičnih povezav in komponent vplivale na delovanje vezja. Ta simulacija je najpočasnejša, a hkrati tudi najbolj natančna, saj upošteva dejanske za-

kasnitve, ki izhajajo iz prostorske razporeditve elementov na integriranemu vezju (place and route). Prav v tej fazi je mogoče zanesljivo preveriti morebitne kršitve časovnih omejitev Setup in Hold.

Za vse tri korake simulacije lahko načeloma uporabimo eno in enako simulacijsko okolje (testbench), kar bistveno poenostavi razvojni proces in zmanjša količino potrebnega dela pri verifikaciji.

Primer simuliranja v okolju AMD Vivado

Za primer bomo izkoristili vezje iz prejšnjega prispevka [1], ki je predstavljalo dva sekvenčna elementa z verigo sto negatorjev med njima. Za simulacijo bomo uporabili razvojni okolje AMD Vivado, saj je enostavno za uporabo in vsebuje vse potrebno za izvedbo simulacije neposredno znotraj samega okolja. Za razliko od nekaterih drugih orodij, kot sta GHDL ali Icarus Verilog, pri Vivadu ni potrebno ročno generirati FPGA tehnoloških knjižnic, ki lahko zavzamejo tudi veliko prostora na računalniku.

```

1. library IEEE;
2. use IEEE.STD_LOGIC_1164.ALL;
3.
4. entity zakasnilni_cleni is
5. Port(
6.         clk      :in  STD_LOGIC;
7.         d_in     :in  STD_LOGIC;
8.         d_out    :out STD_LOGIC
9. );
10. end zakasnilni_cleni;
11.
12. architecture Behavioralof zakasnilni_
        cleni is
13. --Signali za registre
14.     signal reg_in  : std_logic := '0';
15.     signal reg_out : std_logic := '0';
16.
17. --Veriga signalov za negatorje
        (101 povezava za 100 negatorjev)
18.     signal chain   : std_logic_
        vector(100 downto 0);
19.
20. -- ATTRIBUT:Prepreči Vivadu, da bi
        optimiziral te negatorje stran
21.     attribute DONT_TOUCH :string;
22.     attribute DONT_TOUCH of chain :
        signal is«true»;
23.
24. begin
25.
26. --Vhodni D Flip-Flop(DFF)
27.     process(clk)
28.     begin
29. if rising_edge(clk)then
30.         reg_in <= d_in;
31.     endif;
```

```

32. end process;
33.
34. --Verigal00 negatorjev
35.   chain(0)<= reg_in;
36.
37.   gen_inv:for i in 0 to 99 generate
38.     chain(i+1)<=not chain(i);
39.   end generate;
40.
41. --Izhodni D Flip-Flop(DFF)
42.   process(clk)
43.   begin
44.     if rising_edge(clk)then
45.       reg_out <= chain(100);--Izhod
         zadnjega negatorja
46.     endif;
47.   end process;
48.
49.   d_out <= reg_out;
50.
51. endBehavioral;

```

Za simuliranje vezja je potrebno pripraviti tudi simulacijsko okolje, ki je prav tako opisano v jeziku VHDL. Simulacijsko okolje je podano v datoteki `tb_zakasnilni_cleni` in opravlja naslednje naloge:

- definira periodo oziroma frekvenco urinega signala `clk`,
- določa potek vhodnega signala `d_in`,
- ob času nič nastavi začetne pogoje vezja,
- ob vsakem pozitivnem robu urinega signala naključno spreminja vrednost signala `d_in`,
- v proceduri `apply_and_check` samodejno preverja, ali se izhodni signal ujema s pričakovano vrednostjo.

```

1. library IEEE;
2. use IEEE.STD_LOGIC_1164.ALL;
3.
4. entity tb_zakasnilni_cleni is
5. end tb_zakasnilni_cleni;
6.
7. architecture sim of tb_zakasnilni_cleni
   is
8.   constant CLK_PERIOD : time :=100 ns;
       -- definiramo časovno periodo ure
9.
10.   signal clk      : std_logic :='0';
11.   signal d_in     : std_logic :='0';
12.   signal d_out    : std_logic;
13.   signal sim_done :boolean:=false;
14. begin
15.
16.   uut: entity work.zakasnilni_cleni
       --povežemo našo VHDL funkcijo z
       simulacijskim datoteko
17.   port map (
18.     clk  => clk,
19.     d_in => d_in,
20.     d_out => d_out
21.   );
22.

```

```

23.   clk_process: process -- generiramo
         periodo ure
24.   begin
25.     whilenot sim_done loop
26.       clk <='0';
27.       wait for CLK_PERIOD /2;
28.       clk <='1';
29.       wait for CLK_PERIOD /2;
30.     end loop;
31.
32.     wait;
33.   end process;
34.
35.   stim_process: process
36.     variable expected_d_out : std_
       logic :='0';
37.     -- ustvarimo process generiranja
       podatkov ter preverimo če so
       podatki pričakovani
38.     procedure apply_and_check
       (constant input_value :in std_
       logic)is
39.     begin
40.       d_in <= input_value;
41.
42.       wait until rising_edge(clk);
43.       wait for 1 ns;
44.
45.       assert d_out = expected_d_out
46.         report »d_out does not
         match the expected one-clock
         delayed d_in value«
         severity error;
47.
48.       expected_d_out := input_
         value;
49.
50.     end procedure;
51.   begin
52.     wait for CLK_PERIOD /4;
53.
54.     apply_and_check('0');
55.     apply_and_check('1');
56.     apply_and_check('1');
57.     apply_and_check('0');
58.     apply_and_check('1');
59.     apply_and_check('0');
60.     apply_and_check('0');
61.     apply_and_check('1');
62.
63.     sim_done <=true;
64.
65.     assertfalse
66.       report »Testbench completed
         successfully«
         severity note;
67.
68.     wait;
69.   end process;
70.
71.
72. end sim;

```

Kot je bilo že omenjeno, bomo naš primer podprli z vsemi tremi simulacijskimi koraki v procesu razvoja FPGA vezja: funkcionalno simulacijo, simulacijo po sintezi in simulacijo po implementaciji.

Preden preidemo na samo simulacijo, na kratko opišimo vmesnik AMD Vivado okolja. Na Slika 1 so označena naslednja področja:

- **Rdeči kvadrat** – prikazuje korake toka implementacije FPGA projekta (Flow Navigator), kjer so razvidni posamezni koraki od sinteze do generiranja bitnega toka,
- **Zeleni kvadrat** – predstavlja orodno vrstico za upravljanje simulacije, ki vsebuje ukaze za ponovni zagon simulacije, nastavitve časa trajanja, začasno ustavitev in nadaljevanje simulacije ter ostale možnosti,
- **Moder kvadrat** – prikazuje grafični pregledovalnik valovnih oblik (waveform viewer), kjer lahko vizualno pregledamo časovni potek vseh signalov v vezju.

Funkcijska simulacija

Če želimo izvesti katero koli od zgoraj omenjenih simulacij, v razdelku SIMULATION kliknemo Run Simulation, nakar nam orodje ponudi izbiro med razpoložljivimi možnostmi. Pri tem je pomembno upoštevati, da za izvedbo simulacije po sintezi oziroma simulacije po implementaciji moramo predhodno uspešno zaključiti ustrezne korake – sintezo oziroma implementacijo. V nasprotnem primeru orodje omenjenih simulacij ne bo ponudilo oziroma jih ne bo dopustilo izvesti. Če želimo preveriti zgolj logično pravilnost vezja brez časovnih zakasnitvev, izberemo možnost Behavioral Simulation, ki ne zahteva predhodne sinteze ali implementacije.

Preden poženemo simulacijo, moramo datoteko tb_zakasnlni_cleni.vhd dodati v projekt kot simulacijsko datoteko (simulation

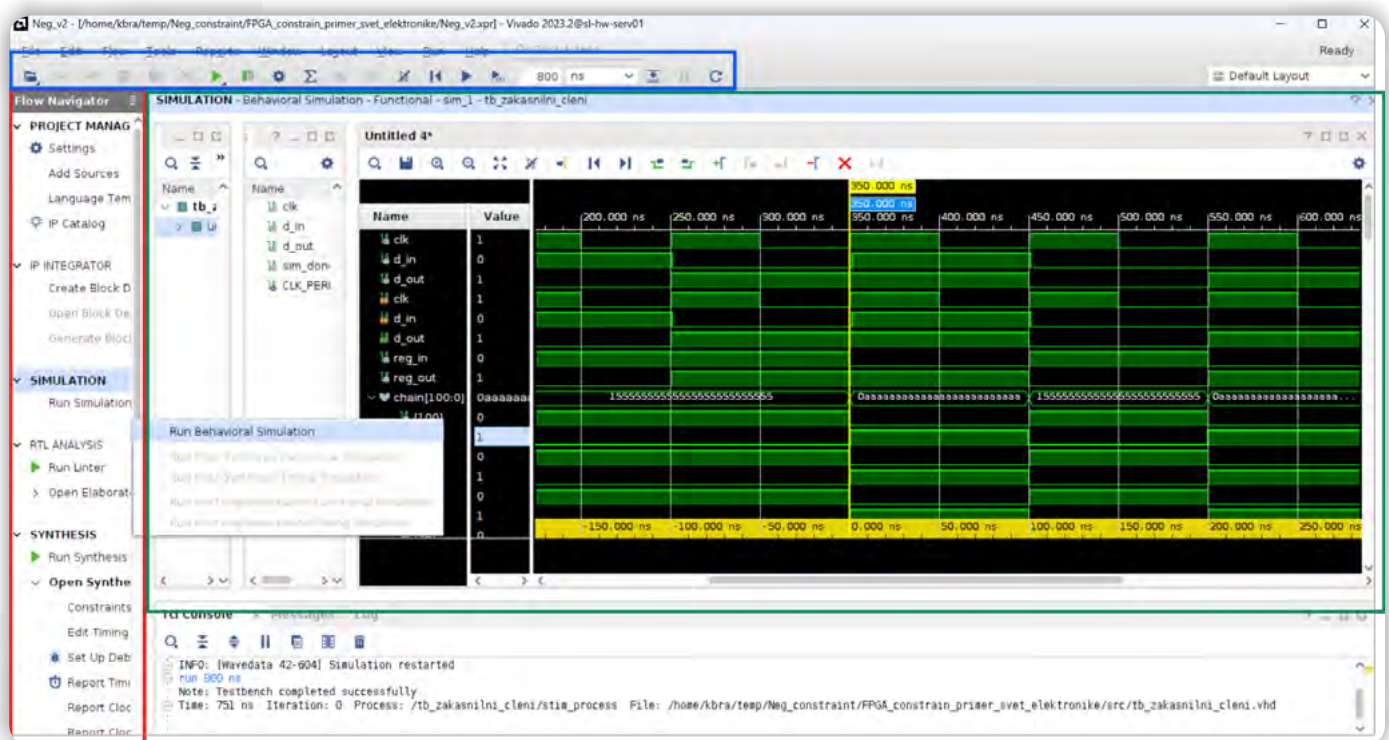
source). To storimo z desnim klikom na razdelek Simulation Sources v projektnem drevesu in izberemo Add Sources □ Add or Create Simulation Sources.

Funkcionalna simulacija Slika 1 ne upošteva časovnih zakasnitvev posameznih elementov, kar pomeni, da prehod signala skozi logično vezje – v našem primeru verigo negatorjev – poteka neskončno hitro oziroma brez kakršne koli zakasnitve. Drugače povedano, negirano stanje vhodnega signala se prenese na izhod v istem trenutku, kar je jasno razvidno iz časovnega grafa. Ta pojav imenujemo tudi idealna oziroma funkcionalna zakasnitev (ang. zero delay), kjer simulator predpostavlja, da so vse logične operacije trenutne in brez fizikalnih omejitev.

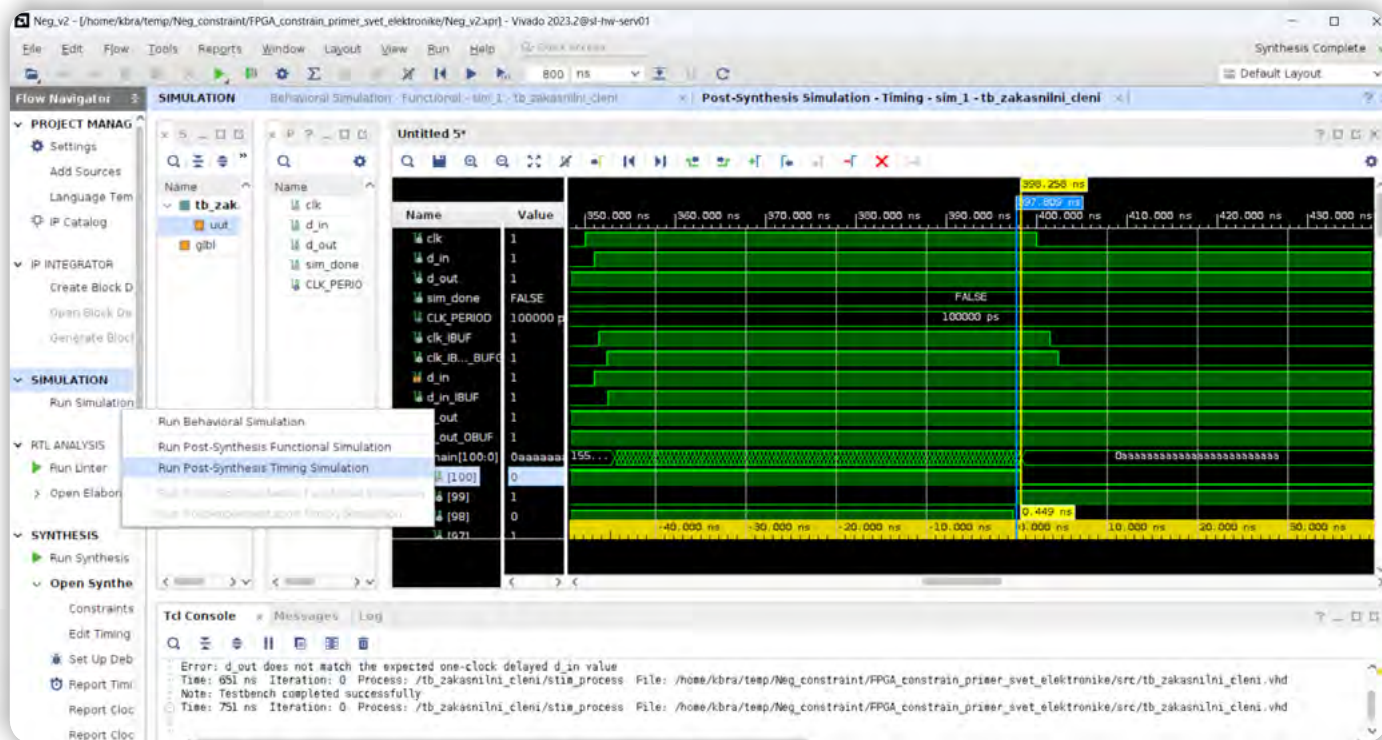
Takšen pristop je koristen predvsem v zgodnjih fazah razvoja, ko nas zanima izključno logična pravilnost vezja in ne njegova dejanska časovna usklajenost. Funkcionalna simulacija je tudi najhitrejša od vseh treh simulacijskih korakov, saj simulator ne potrebuje podatkov o fizičnih lastnostih ciljnega FPGA vezja. Prav zaradi tega jo izvajamo kot prvi korak v procesu verifikacije – šele ko smo prepričani, da je logično delovanje vezja pravilno, nadaljujemo s simulacijo po sintezi in simulacijo po implementaciji, kjer so časovne zakasnitve že upoštevane.

Post Sintezna Simulacija

Naslednji korak v procesu je simulacija po sintezi, katere namen je funkcionalno potrditi, da je bilo naše RTL-opisano vezje pravilno interpretirano in obdelano s strani FPGA orodja. Z drugimi besedami, preverimo, ali orodje naš opis v jeziku RTL razume enako, kot smo mi zamislili delovanje vezja. Za simulacijo uporabimo isto simulacijsko datoteko tb_zakasnlni_cleni.tb kot pri predhodni simulaciji, vendar se tokrat kot izvirna datoteka za logično funkcijo ne uporabi naš izvorni RTL-opis,



Slika 1: Opis AMD Vivado okolja ter funkcijska simulacija našega vezja



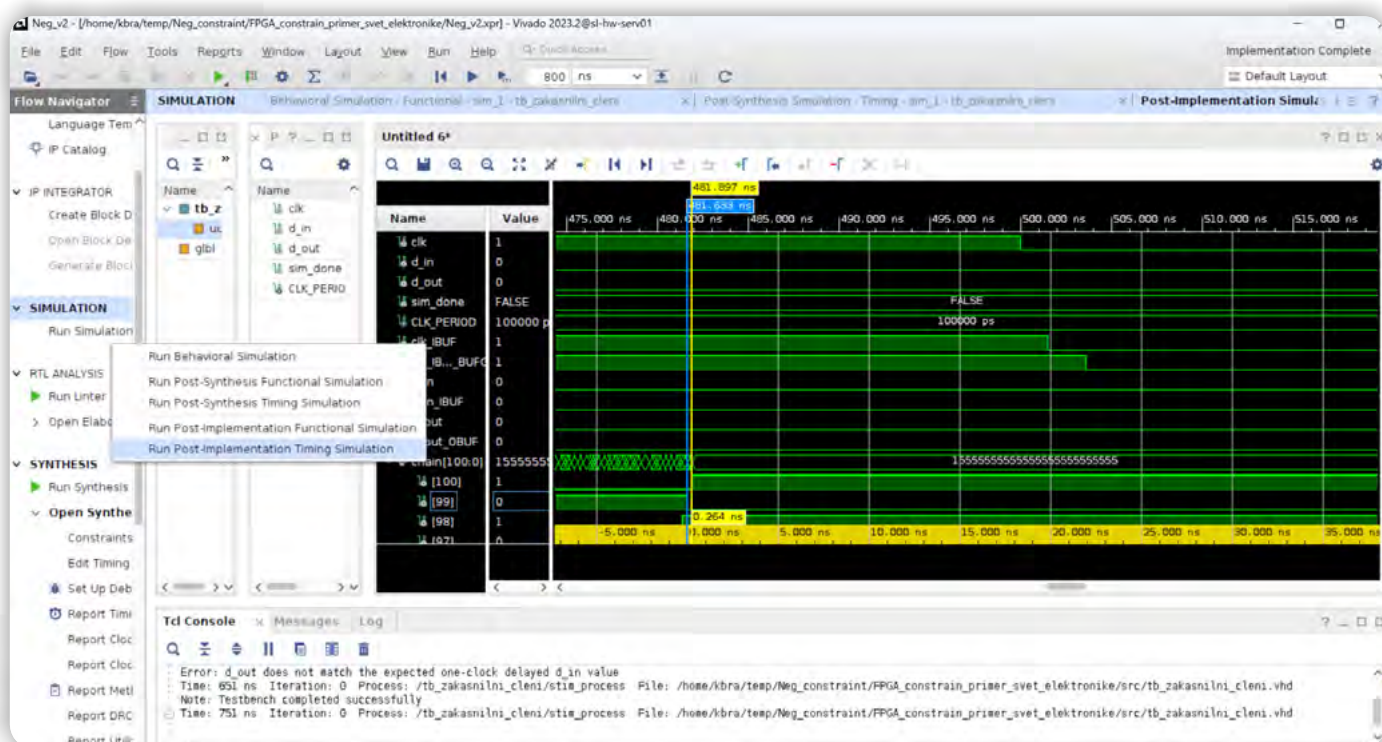
Slika 2: Simulacija po sintezi. Kot je razvidno grafa logična vezja oziroma LUT pridelajo 482 ps zakasnitve. Toda moramo omeniti, da v tem primeru niso uporabljene komponente, ki so del izbranega FPGA vezja.

temveč netlist, ki ga orodje samodejno generira ob koncu sinteznega koraka. Netlist je natančen opis vezja na nivoju logičnih vrat, ki direktno odraža, kako bo vezje realizirano na FPGA vezju.

Simulacijo po sintezi lahko izvedemo takoj, ko orodje uspešno zaključi sintezo. Z dvema klikoma v meniju izberemo eno od dveh možnosti: »Run Simulation _ Post-Synthesis Functional

Simulation« ali »Run Simulation _ Post-Synthesis Timing Simulation«. Obe možnosti zažene simulacijo na podlagi netliste, razlikujeta pa se v tem, koliko podrobnosti sta pri tem upoštevani.

Pri možnosti Post-Synthesis Functional Simulation se preverja zgolj logično delovanje vezja, brez upoštevanja časovnih zakasnitev, ki nastanejo zaradi fizičnih lastnosti elementov.



Slika 3: Slika prikazuje zakasnitev logičnih komponent, ki so del izbranega FPGA vezja

Ta način simulacije je hitrejši in zadostuje za osnovno funkcionalno preverjanje. Pri možnosti Post-Synthesis Timing Simulation pa orodje v simulacijo vključi tudi časovne zakasnitve posameznih elementov, kar daje bistveno bolj realistično sliko dejanskega obnašanja vezja. Kot je razvidno s Slike 2, povzroči že en sam negator 0,482 ns zakasnitve na svojem izhodu glede na prihod signala na vhod. Te zakasnitve so posledica fizikalnih lastnosti tranzistorjev v logičnih elementih znotraj FPGA vezja ter imajo pri visokih frekvencah delovanja lahko pomemben vpliv na pravilno delovanje celotnega sistema (to lahko preverite če frekvenco v simulacijski datoteki spremenite na 100 Mhz z spremembo spremenljivke `constant CLK_PERIOD : time := 100 ns;` na 10ns).

Post Implementacijska simulacija

Zadnja simulacija, ki nam da boljši vpogled v delovanje RTL strukture, je na voljo, ko orodje zaključi vstavev (ang. Implementation) naše RTL strukture v izbrano FPGA vezje. Podobno kot pri sintezni simulaciji nam orodje tudi tukaj ponudi možnosti »Run Simulation _ Post-Implementation Synthesis Functional Simulation« ali »Run Simulation _ Post-Implementation Synthesis Timing Simulation«.

Funkcionalnost obeh simulacij je enaka, kot je bilo opisano v razdelku o sintezni simulaciji, z razliko, da je v tem primeru sintetizirano vezje implementirano na tehnologijo izbranega FPGA vezja. S simulacijo »Post-Implementation Synthesis Functional Simulation« preverimo, ali je funkcionalnost ostala nespremenjena, medtem ko s simulacijo »Post-Implementation Synthesis Timing Simulation« preverimo, ali so zakasnitve dovolj majhne, da funkcionalnost ostane nespremenjena glede na izbrano vhodno frekvenco.

Za naš primer bomo ponovno zagnali le simulacijo »Post-Implementation Synthesis Timing Simulation«. Kot je razvidno s slike 3 in iz pripadajoče simulacije, lahko vidimo, da so se časovne zakasnitve nekoliko izboljšale (negator v tem primeru proizvede zakasnitev 0,285 ns), saj je orodje med implementacijo preslikalo sintetizirano vezje na realne komponente. Za

simulacijsko datoteko smo še vedno uporabili isto datoteko kot na začetku, z razliko, da je orodje za simulacijo uporabilo novo generirano netlist datoteko, pridobljeno po implementaciji.

Zaključek

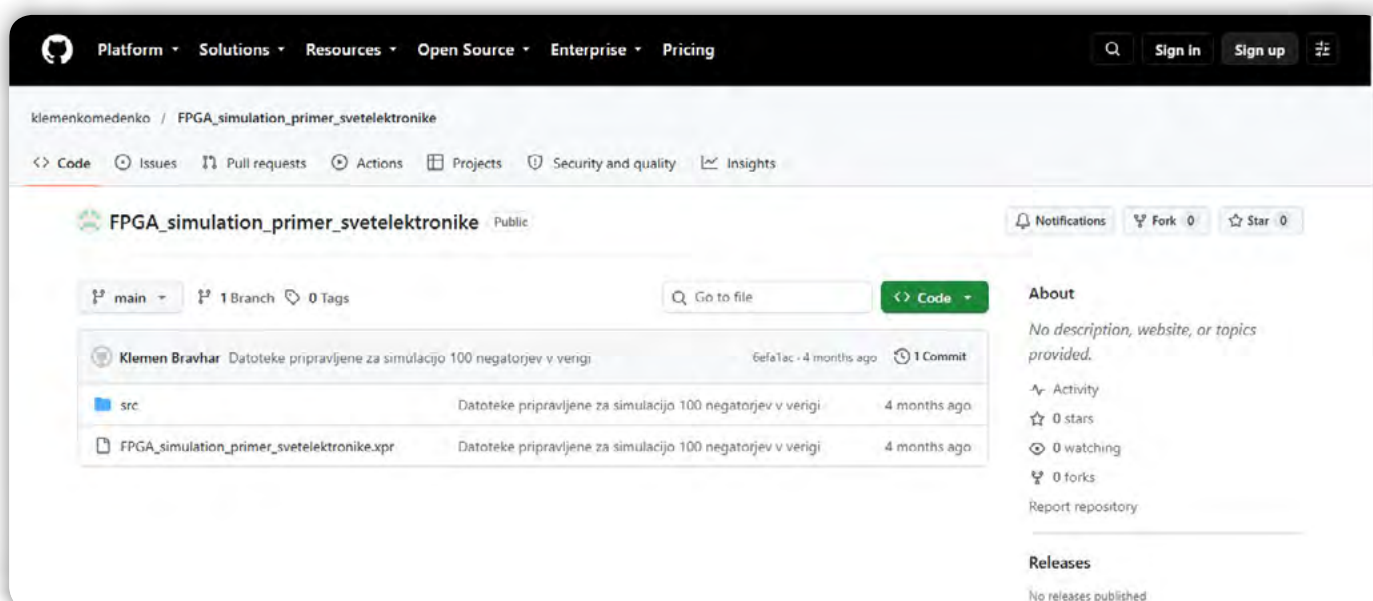
V tem prispevku smo spoznali tri ključne simulacijske korake v procesu razvoja FPGA vezja v okolju AMD Vivado: funkcionalno simulacijo, simulacijo po sintezi in simulacijo po implementaciji. Vsak izmed teh korakov nam ponuja drugačen vpogled v delovanje našega vezja in služi drugačnemu namenu v procesu verifikacije.

Funkcionalna simulacija je najhitrejši in najpreprostejši korak, ki nam omogoča preverjanje logične pravilnosti vezja brez upoštevanja časovnih zakasnitev. Simulacija po sintezi nas prepriča, da je orodje naš RTL-opis pravilno interpretiralo in pretvorilo v ustrezno logično strukturo, hkrati pa nam z različico s časovnimi zakasnitvami že pokaže prve realistične ocene obnašanja vezja. Simulacija po implementaciji pa nam da najbolj natančen vpogled, saj so zakasnitve v tem koraku določene na podlagi dejanskih fizičnih komponent izbranega FPGA vezja – kot smo videli v našem primeru, je negator po implementaciji dosegel zakasnitev zgolj 0,285 ns, kar je boljše od 0,482 ns, izmerjenih po sintezi.

Opisani postopek verifikacije je dober primer tega, zakaj je simulacija nepogrešljiv del razvojnega procesa. Namesto da bi napake odkrivali šele na fizičnem vezju, jih z ustrezno kombinacijo simulacijskih korakov zaznamo že v zgodnji fazi razvoja, kar bistveno skrajša čas razvoja in zmanjša tveganje za napake v končnem produktu. Posebej pri visokih frekvencah delovanja, kjer imajo časovne zakasnitve velik vpliv na pravilno delovanje sistema, se natančna simulacija pokaže kot nujna, ne zgolj priporočljiva.

Reference

- [1] https://github.com/klemenkomedenko/FPGA_simulation_primer_svetelektronike



Kakšen računalnik kupiti?

Kakšen PC ali prenosnik izbrati in kje lahko prihranimo?



SPLETNE PREVARE: KDO PLAČA?

Lažni bančniki in prepričljiva sporočila nas lahko drago stanejo. Kako nas prevaranti ujamejo, kdo odgovarja za izgubljeni denar in kdaj lahko od banke zahtevamo povračilo?



MONITORPRO:

- Kibernetska varnost
- Varnostni centri v praksi

Grand Theft Auto VI | Windows 10 še ni za odpis | Dell Pro Max z GB10 | Office s Claudom | pomoč pri učenju z UI | nasveti za Apple | merjenje hitrosti interneta | mala šola programiranja po občutku

Monitor
www.monitor.si

Praktične izkušnje z mikrokontrolerjem ESP32P4 podjetja Espressif - 2.del: M5Stack TAB5

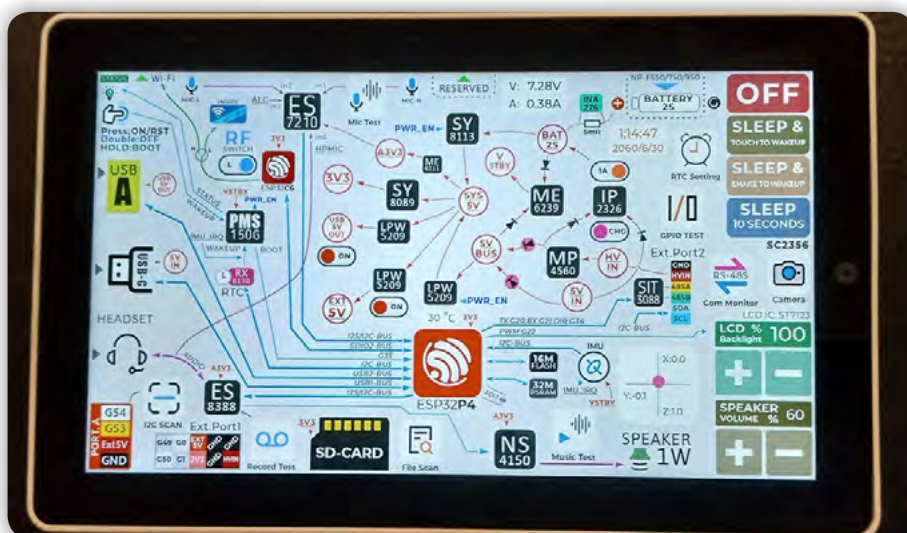
Avtor: Brian Millier

E-pošta: bmillier1@gmail.com

V svojem zadnjem članku v reviji Svet Elektronike sem predstavil dve novi razvojni plošči ESP32P4, ki sem ju kupil: Waveshare ESP32-P4-WI-FI6 in ViewE ESP32-P4-Pi-VIEWE. V 1. delu sem preizkusil številne funkcije ESP32P4 in preveril, kako so bile te implementirane na posameznih ploščah. Preveril sem tudi, kakšna je programska podpora za posamezne plošče, kar zadeva knjižnice za Arduino in podobno. Programska podpora je pomembna, še posebej pri delu z relativno novim mikrokontrolerjem, kot je ESP32P4, saj obstoječa podpora knjižnic za družino mikrokontrolerjev ESP32 morda ni združljiva z novejšim modelom ESP32P4, glede na njegove napredne funkcije.

Odločil sem se za nakup plošče M5Stack TAB5 namesto drugih razpoložljivih plošč ESP32P4 s priloženimi zasloni zaradi naslednjih razlogov:

- TAB5 podpira knjižnica za Arduino, ki zajema številne funkcije perifernih naprav ESP32P4, vključno s 5-palčnim zaslonom MiPi-DSI, vgrajenim v TAB5.
- ESP32P4 ima na voljo 16 MB Flash pomnilnika in 32 MB PSRAM pomnilnika.
- TAB5 je na voljo v kompaktnem ohišju, zato za nekatere namene ni potrebno ločeno zunanje ohišje.
- Ima zaslon z zelo visoko ločljivostjo 1280 x 720 pikselov in kapacitivni zaslon na dotik z možnostjo upravljanja z več prsti.
- Vsebuje ločen Wi-Fi koprocesor ESP32C6 z mikrokontrolerjem, ki ima tako notranjo anteno kot tudi RF-MCX konektor za zunanjo anteno.
- Ima vse avdio zmogljivosti – dva mikrofona, ki sta povezana s procesorjem za odpravo odmeva ES7210, kot tudi s kodekom ES8388, avdio ojačevalnikom NS4150 B in majhnim zvočnikom.
- Po želji lahko dodate LiPo baterijski paket NP-F550 7,4 V/1900 mA-H za približno 5 €. Ta se lepo vgradi v ohišje, vendar nekoliko štrli iz zadnje strani.
- Opremljen je z uro realnega časa RX8130CE, ki jo napaja LiPo baterija.
- Vsebuje 2-megapikselno kamero (1600 x 1200), ki uporablja MiPi-CSI vmesnik.
- Med drugo dodatno opremo spadajo 6-osni IMU merilnik pospeška in žiroskop, reža za uSD kartico in RS485 vmesnik.
- Vsebuje USB-A OTG vtičnico, ki lahko deluje kot USB gostitelj.



Slika 1A: Sprednja stran naprave TAB5.



Slika 1B: Zadnja stran naprave TAB5.

- Vsebuje številna priključna mesta za napajanje in GPIO, vključno z 30-pin dvojnimi priključkom (MBus)

Sliki 1A in 1B prikazujeta sprednjo in zadnjo stran naprave TAB5. Na sprednji strani je prikazana slika vnaprej naložene ugnezdene programske opreme.

To je zelo priročno diagnostično orodje, ki preizkuša večino funkcij naprave. Na zadnji strani naprave je grafični prikaz, ki na videz spominja na predstavitveni program, vendar gre v resnici za blok diagram različnih komponent, njihovih medsebojnih povezav in uporabljenih ESP32P4 GPIO priključkov. Na levi strani je 7,4-voltna LiPo baterija. Naprava TAB5 je opremljena s pokrovom, ki ga je treba odstraniti, nato pa LiPo baterijo preprosto vstavite. Čeprav to na spletni strani TAB5 ni bilo jasno razvidno, LiPo baterija štrli približno 15 mm iz preostale zadnje plošče. Pri razpravi o bateriji upoštevajte, da bo, če TAB5 napajate izključno prek USB-A-USB-C kabla, priključenega na standardno USB-A vtičnico, demonstracijski program porabi več kot 500 mA, kolikor naj bi standardna vtičnica USB-A zagotavljala. Opazil sem, da se je demonstracijski program zagnal, prikazal zaslon, ki ga vidite na sliki 1A, nato pa se je nekaj sekund kasneje ponovno zagnal. To se ne zgodi niti pri delovanju na baterijo niti ob priklopu na USB-C vrata z USB-C-USB-C kablom. O porabi toka bom spregovoril kasneje.

TAB5 ne vsebuje mehanskega SPST stikala za vklop/izklop. Namesto tega uporablja »mehko stikalo«, ki je izvedeno s pomočjo PMS150G. To je OTP MCU, programiran za spremljanje

tipke za vklop naprave TAB5. En kratek pritisk na tipko za vklop preklopi ESP32P4 v običajni način delovanja. Dva kratka pritiska preklopi ESP32P4 v način globokega spanja. Dolgi pritisk na gumb preklopi ESP32P4 v način programiranja Flash pomnilnika.

Demo programska oprema

TAB5 je opremljen z zelo uporabnim demonstracijskim programom, ki služi tudi kot diagnostično orodje. Bil sem tako navdušen nad njim, da sem se spraševal, kako bi lahko shranil njegovo kopijo: torej potem, ko bom začel nalagati svoje lastne skice za Arduino itd. Pravkar sem končal delo z zaslonom 4D Systems ESP32-P4-70CT, na katerem je bil prav tako vnaprej nameščen dober demonstracijski program. Niti za zaslon 4D Systems, niti za TAB5 ni bila priložena binarna datoteka z demonstracijsko programsko opremo. Za zaslon 4D sem uporabil spletno orodje ESPConnect, da sem pridobil varnostno kopijo celotnega Flash pomnilnika čipa ESP32P4. Čeprav ESPConnect za TAB5 ni bil potreben, lahko to napredno orodje za ESP32 poiščete z iskanjem v Googlu pod ključno besedo »ESPConnect«. Ta program zahteva razširitev Web-USB in deluje le v brskalnikih MS Edge in Chrome, čeprav sem slišal, da zdaj deluje tudi v najnovejši različici brskalnika Firefox.

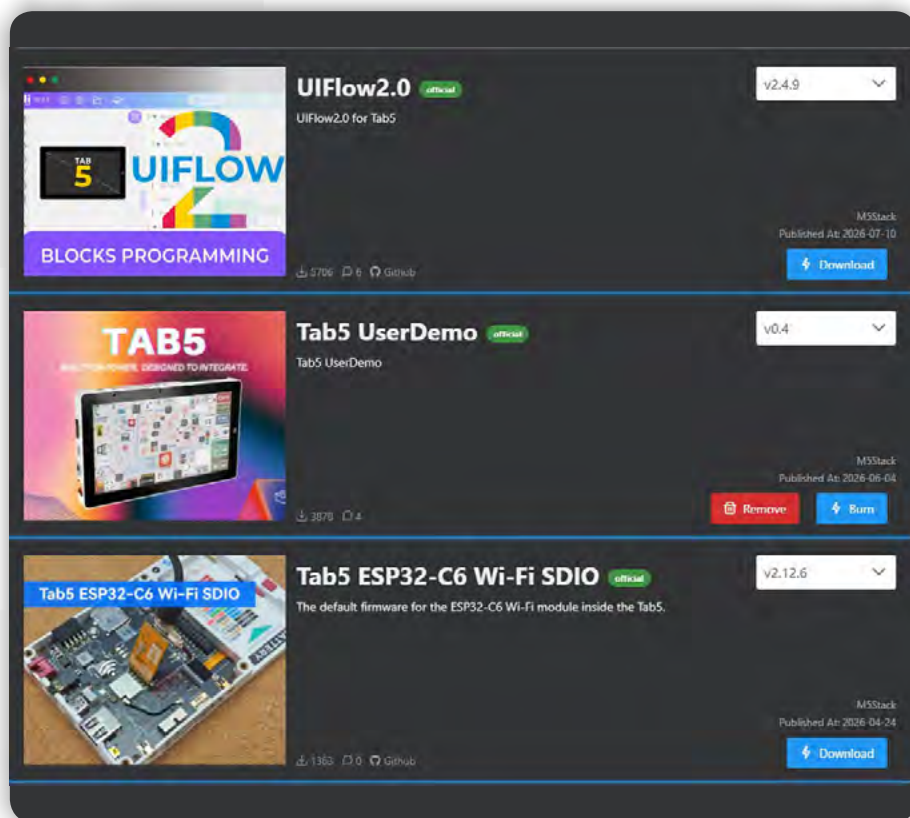
M5Stack ponuja zelo uporaben program, imenovan M5Burner (za Windows, macOS in Linux). Ta program v bistvu opravlja tisto, kar nakazuje že samo ime – programira binarno programsko opremo v mikrokontrolerje družine ESP32, ki se nahajajo v izdelkih M5Stack. Vendar pa ponuja še veliko več:

ko na levem stranskem panelu izberete ploščo M5Stack, se prikaže seznam razpoložljive programske opreme za ta izdelek.

Slika 2 prikazuje nekaj priljubljenih slik demo firmware-a TAB5, firmware za Wi-Fi koprocetor ESP32C6 in UniFlow 2.0. Preštel sem 59 različnih datotek za prenos, vključno z mnogimi pripomočki, igrami itd. Nekaj od teh datotek je namenjenih za uporabo s TAB5, skupaj z dodatno tipkovnico, ki jo ponuja M5Stack (in ki napravo spremeni v mini tablico). Ko s tem pomožnim programom zapišete firmware v TAB5, bo program na začetku tega postopka prebral ESP32P4 in prikazal tako številko revizije čipa (pri mojem je V1.3) kot tudi njegov MAC naslov. Domnevam, da je ta MAC naslov tisti, ki se uporablja, ko je na ESP32P4 priključen Ethernet PHY – ne pa Wi-Fi MAC naslov, ki bi bil shranjen v Wi-Fi procesorju ESP32C6.

M5Burner si lahko naložite iz tega naslova:

- M5Burner[1]: <https://docs.m5stack.com/en/ui-flow/m5burner/intro>



Slika 2: Nekaj priljubljenih slik demo firmware-a TAB5, firmware za Wi-Fi koprocetor ESP32C6 in UniFlow 2.0

Poglejmo si nekaj diagnostičnih postopkov, ki jih ta predstavitevna različica lahko izvede:

- Pregled I2C vmesnikov, tako notranjih kot zunanjih – upoštevajte, da je na notranjem I2C vodilu 10 I2C naprav!
- Pregled datotek na priključeni uSD kartici. Upoštevajte, da mora biti uSD kartica vstavljena tako, da so kontakti na robu obrnjeni proti vam.
- Predvajajte vnaprej nameščeno skladbo prek zvočnika ali slušalk.
- Monitor RS-485 komunikacije v obeh smereh.
- Preizkusite WiFi koprocesor ESP32C6 tako, da vzpostavite WiFi dostopno točko in gostite preprosto spletno stran na naslovu 192.168.4.1 (deluje tako z notranjo kot z zunanjo anteno).
- V zgornjem, osrednjem delu zaslona je v oknu nenehno prikazana napetost akumulatorja in poraba toka.
- GPIO test, ki prikazuje stanje vhodov zunanjih GPIO priključkov (MBus in ExtPort1).
- Nastavite svetlost zaslona in glasnost zvočnikov.
- Spremljajte podatke iz merilnika pospeška IMU v ravninah X in Y.
- Prikaz videoposnetka iz kamere SC2356 (sprednja kamera).
- Prikaži grafični prikaz signala notranjih mikrofonov.
- Preizkusite način mirovanja v načinih »Po času«, »S stresanjem« in »Na dotik«.

To je verjetno najbolj celovit demonstracijski diagnostični program, ki sem ga kadar koli videl vnaprej nameščenega na kateri koli plošči z mikrokontrolerjem, ki sem jo uporabljal. Ne vem, kateri niz orodij za razvoj programske opreme je bil uporabljen za izdelavo te demonstracije, saj aplikacija M5Burner ponuja le binarno datoteko. Glede na njegovo zapletenost domnevam, da je bil uporabljen razvojni paket Espressif IDF. To verjetno pomeni, da nekaterih funkcij, ki jih izvaja ta demo, morda ni mogoče programirati iz Arduino IDE.

Prvi koraki z Arduino IDE

Za informacijo: med pisanjem tega članka sem uporabljal Arduino IDE različice 2.3.10. Prav tako sem naložil Espressifov paket podpore za plošče ESP32 (ESP32 Board Support Package) različice 3.3.10, ki je namenjen mikrokontrolerjem družine ESP32 na splošno. Vendar pa morate pri uporabi plošč M5Stack, kot je TAB5, prek upravitelja plošč Arduino (Arduino Board Manager) naložiti tudi paket podpore za plošče M5Stack (M5Stack Board Support Package – BSP). Preprosto vpišite »M5Stack« in se bo prikazalo.

Ko sem to pisal, sem uporabljal različico BSP za M5Stack 3.3.7. Poleg tega boste morali naložiti dve knjižnici:

- M5Unified (različica 0.2.18 je bila najnovejša v času pisanja tega besedila)
- M5GFX (različica 0.2.25 je bila najnovejša v času pisanja tega besedila)

Ko sem naložil ta BSP in ti dve knjižnici, sem našel primer, ki izkorišča TAB5 zaslon, tako da sem pregledal razdelek »Examples from Custom libraries«, izbral M5GFX in nato izbral enega od primerov. Zelo impresiven je primer »M5TAB5_Analog Meters«.

V svojih člankih, ki obravnavajo mikrokontrolerje, ki jih podpira Arduino, ponavadi navajam opozorilo. Ko v Arduino dodate paket podpore za ploščo M5Stack, se bo prikazal razdelek z naslovom »Primeri za M5TAB5« (če izberete ploščo TAB5). Ta seznam primerov bo zelo dolg in bo vključeval praktično vsak primer programa, ki bo deloval na določenem mikrokontrolerju iz družine ESP32. To še ne pomeni, da bodo delovali na TAB5; pravzaprav večina med njimi ne bo, saj se ESP32P4 razlikuje od drugih mikrokontrolerjev ESP32. Poleg tega bo morda treba periferno opremo na TAB5 vklopiti s kodo, ki je posebej prilagojena za TAB5.

Kmalu potem, ko sem začel preizkušati TAB5, me je Arduino obvestil, da je na voljo nova različica BSP-ja za M5Stack: 3.3.8. Brez podrobnejšega razlaganja: takoj ko sem posodobil različico s 3.3.7 na 3.3.8, nisem več mogel prevajati prejšnjih primerov, ki sem jih uporabljal. Prikazala se mi je naslednja napaka prevajalnika:

```
\esp32-hal-spi.c:299:32: error:
'BOARD_SDMMC_POWER_CHANNEL'
undeclared (first use in this
function)
```

Zaradi jasnosti sem skrajšal pot do datoteke, vendar je pomembna prav ta napaka. To sem sporočil podjetju M5Stack. To imejte v mislih, če boste poskušali uporabiti BSP 3.3.8 in naletite na to napako. Tukaj je odgovor, ki sem ga prejel od njih:

BSP 3.3.7 / 3.3.8 problem

Napake pri prevajanju, ki ste jih opazili v primerih M5GFX z BSP 3.3.8, so del znane nestabilnosti v seriji 3.3.x za TAB5. Podpora za ESP32-P4 (RISC-V) v BSP-ju za M5 se še vedno razvija, izdaje 3.3.x pa so uvedle spremembe na naslednjih področjih:

- PI4IOE5V6408 časovni potek inicializacije ekspanderja
- USB CDC/TinyUSB integracija stack-a z M5.begin()
- M5GFX postopek inicializacije grafičnega gonilnika za P4

Prav te spremembe so bile vzrok za težavo, ki sem jo imel z nenehnim ponovnim zagonom. Funkcija `M5.begin()` je vplivala na razširitveni/USB sklad na način, zaradi katerega se P4 ni mogel obnoviti.

Pri nekaterih razvojnih ploščah, ki uporabljajo mikrokontrolerje iz družine ESP32, je na plošči vgrajen ločen mostični čip UART-USB. Druge plošče pa uporabljajo vgrajeni USB priključek, ki ga najdemo na nekaterih mikrokontrolerjih iz družine ESP32, vključno z modelom ESP32P4. Ena stvar, ki me je sprva zmedla: shema TAB5 prikazuje mostični čip USB-UART CH9102F (U32/NC).

Oznaka /NC pomeni »No Connect« (brez povezave) in ni zasedena. ESP32-P4 nativno podpira serijsko povezavo USB prek svoje USB-OTG periferije. V meniju Arduino Tools je treba ob zagonu omogočiti funkcijo CDC. Če spregledate to oznako NC (kar se zlahka zgodi!), boste izgubljali čas z ugibanjem, zakaj se serijski vmesnik ne pokaže.

Da bi različne naprave na TAB5 vklopili in inicializirali, uporabite ukaz `M5.begin()`, ki vklopi in inicializira vgrajene periferne naprave, zaslon itd. Vendar pa, če uporabite `M5.begin()`, ne morete hkrati uporabiti tudi `Serial.begin()`, sicer bo program doživel sesutje ali se bo ponovno zagnal. V dokumentaciji M5Stack je navedeno, da lahko uporabljate ukaze `Serial.print()`, ne da bi pred tem uporabili `Serial.begin()`. Meni to ni uspelo. Ob zagonu sem videl sporočilo ESP-ROM, drugače pa ničesar. Ko sem izpustil ukaz `M5.begin()` in namesto tega uporabil `Serial.begin(115200)`, sem lahko videl serijski izhod iz skice.

Podjetje M5Stack je potrdilo, da pri uporabi BSP 3.3.7 ali 3.3.8 pri napravi TAB5 prihaja do nekaterih težav. Ta težava s serijskim vmesnikom je ena izmed njih.

Zunanje I2C naprave

Če nameravate k svojemu TAB5 dodati zunanje naprave, je zelo verjetno, da bodo to I2C naprave, saj so te zelo pogoste. Vnaprej nameščena demonstracijska programska oprema TAB5 vsebuje tako skeniranje notranjega I2C vmesnika, kot tudi skeniranje zunanjega I2C vmesnika. Na sliki 3 lahko vidite vseh 10 I2C naprav, ki so na tiskanem vezju TAB5 – vključno z naslovoma 0x43 in 0x44, ki pripadata dvema razširitvenima vmesnikoma, o katerih smo govorili v prejšnjem poglavju.

Zunanji I2C sken je jasno označen za delovanje z I2C prek PortA vtičnice. Ta vtičnica je tista, ki je splošno znana kot Grove vtičnica (razvila jo je družba Seeed Studio). PortA uporablja GPIO vodila 53 (SDA) in 54 (SCL). Barva SDA in SCL priključkov, kot je prikazana na nalepki PortA, se ne ujema povsem s standardom barv Grove kablov: bela in rumena barva sta zamenjani. Vendar je mehanska zasnova vtičnice PortA takšna, da bo naprava I2C z Grove priključkom, če jo priključite, pravilno ožičena. Edina druga stvar, ki jo je treba upoštevati je to, da PortA zagotavlja napetost 5 V, medtem ko morajo biti I2C vodniki na 3,3 V logičnih nivojih. Mnoge razširitvene plošče za senzorje to rešujejo z vgrajenim 3,3-voltnim LDO stabilizatorjem in spustom napetosti I2C vodov na 3,3 V.

Poleg PortA obstaja še nekaj drugih načinov za priključitev zunanjih I2C naprav. Vtičnica ExtPort2 omogoča dostop do I2C vodov, ki uporabljajo različne GPIO priključke: GPIO31 (SDA) in GPIO32 (SCL). To so priključki, ki se uporabljajo za notranja I2C vrata TAB5 (tj. delijo si jih z 10 notranjimi I2C napravami). ExtPort2 lahko prek svojega HVIN priključka zagotavlja napetost 5 V, ki je notranje povezan z vodilom `SYS_VIN` na TAB5. Vendar pa to vodilo napajanje črpa izključno iz treh HPWR priključkov M-Bus vtičnice, zato na vtičnici ExtPort2 ne bo na voljo napajanja, razen če TAB5 napajate na ta način.

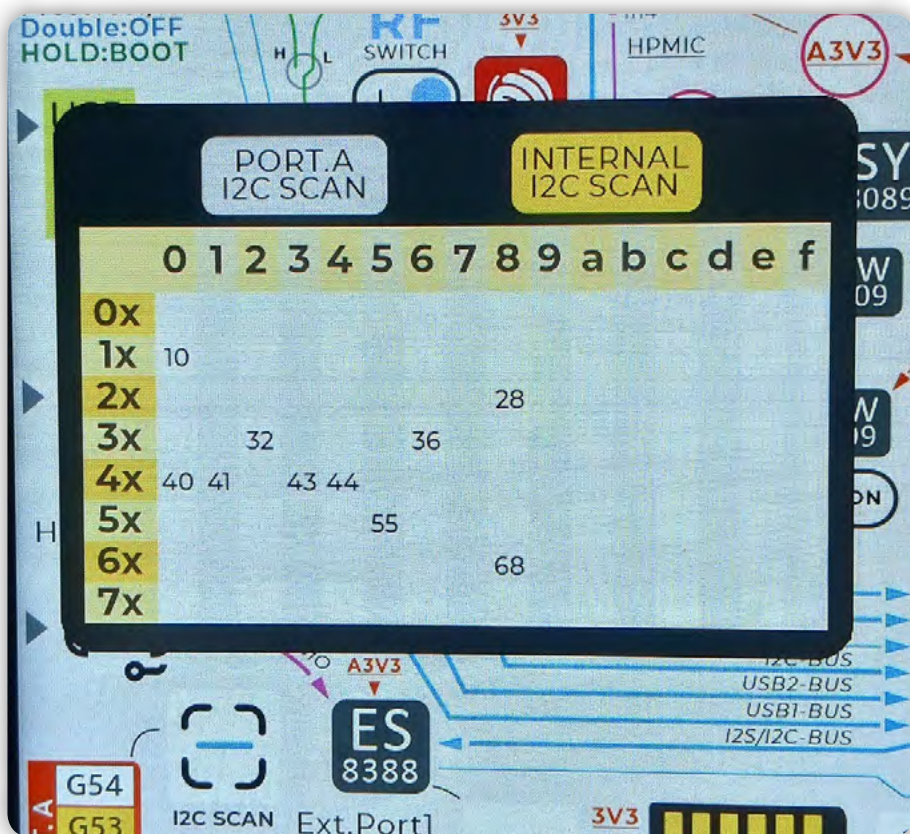
Nazadnje je mogoče I2C naprave priključiti prek samega M-Busa. Notranje I2C vodilo (GPIO31, 32) je na voljo na priključkih M-Busa 17 in 18. To je edina možnost, če želite uporabljati privzete ukaze `Wire` ali če je katera od potrebnih knjižnic napisana tako, da mora uporabljati privzeto vrata `Wire`. Seveda boste morali poskrbeti, da zunanja I2C naprava ne bo v nasprotju z nobeno od 10 notranjih I2C naprav (ki so prikazane na sliki 3).

Vendar pa lahko vedno inicializirate sekundarni I2C vmesnik ESP32P4 in ga uporabite tako:

```
#include <Wire.h>
Wire1.setPins(SDApin,SCLpin)// replace
SDApin, SCLpin with chosen GPIO pins
Wire1.begin()
```

To sem preizkusil s senzorsko ploščico SGP40, pri čemer sem uporabil GPIO47 (SDA) in GPIO48 (SCL) vmesnika na M-busu. Zagnal sem program za skeniranje I2C, nastavljen za `Wire1`, in ta je ploščico pravilno zaznal na naslovu 0x59.

Med preizkušanjem sem za napajanje senzorske plošče SGP40 podjetja Adafruit uporabil pin 12 M-Bus (3,3 V). Ta ima zeleno LED-ico za napajanje, ki je ostala prižgana ne glede na to, ali je bil TAB5 vklopljen ali izklopljen. Ni bilo razlike, ali je bil TAB5 napajan prek USB-C ali LiPo baterije. M5Stack navaja, da je normalno, da napetost 3,3 V na M-Bus pin 12 ostane prisotna, ko je TAB5 izklopljen s pritiskom na gumb. Tipka za vklop sproži stanje »soft-off« (globoki spanec/nizka poraba energije) na ESP32P4, namesto da bi fizično odklopil glavni 3,3 voltni



Slika 3: Notranje I2C naprave

regulator. To ne velja za 5 voltni M-Bus pin. Ta se krmili prek bita 2 prvega razširitvenega vmesnika PI4IOE5V6408 (naprava 0). Vnaprej nameščena demonstracijska programska oprema TAB5 privzeto omogoča to 5V napajanje. Ukaz M5.begin(cfg) lahko to napajanje vklopi in izklopi ob zagonu sistema, skupaj z naslednjim:

```
cfg.output_power = false;
// true to provide 5V power
```

V prejšnjem delu članka sem pokazal, kako neposredno krmiliti to 5V aktivacijsko vodilo na razširitvenem vmesniku PI4IOE5V6408. Ker ima TAB5 trenutno nekaj težav z delovanjem rutine M5.begin(), vam predlagam, da za to nalogo vklapljanja napajanja uporabite prej omenjeno kodo. Če načrtujete lastno ploščo, ki naj bi se priključila na M-Bus in se napajala iz njega, boste morali pri načrtovanju upoštevati 3,3 V vir napetosti, ki je vedno vklopljen.

Zaslon občutljiv na dotik

Prva lastnost, ki me je pritegnila pri TAB5, je bil zaslon na dotik, in sicer iz več razlogov. Odličen zaslon na dotik je namreč malo koristen, če zanj ne moreš napisati kode. Mnogi najnovejši zaslani na dotik ponujajo programsko podporo le prek Espressifovega IDF-ja, kar je odlično, če si navajen uporabljati prav to orodje. Vendar pa kot razvojno okolje za vse različne mikrokontrolerje, s katerimi delam, uporabljam Arduino IDE. TAB5 sem kupil zato, ker prek M5Stackove knjižnice M5GFX za Arduino omogoča podporo za svoj zaslon na dotik.

Ker ima ESP32P4 zelo hiter MiPi DSI vmesnik, lahko poganja velike LCD zaslone z visoko ločljivostjo. TAB5 ima 5-palčni IPS TFT zaslon z ločljivostjo 1280 x 720 pikslov. Čeprav je krmilnik zaslona, vgrajen v ta LCD-zaslon, sposoben prikazovati 24-bitne barve, grafična knjižnica M5GFX (Arduino IDE) podpira le RGB565 (16-bitne barve, 65.000 barv). Med delovanjem sem ugotovil, da je zaslon dovolj svetel, kakovost slike pa je primerljiva s tisto na cenejšem pametnem telefonu, ki ga uporabljam.

TAB5 je na trgu že dovolj dolgo, da so njegova vezja doživela tri prenov. Sprva je uporabljal kapacitivni krmilnik zaslona GT911 skupaj z ločenim krmilnikom LCD zaslona. Kasneje so prešli na krmilnik ST7123, nato pa na krmilnik ST7121 – oba krmilnika upravljata tako LCD zaslon kot tudi dotik. Vsi trije krmilniki podpirajo upravljanje z več prsti (5 točk). Enako pomembno je, da tudi knjižnica zaslonov M5GFX (različica 0.2.22 ali novejša) podpira upravljanje z več prsti, in sicer z ukazi, kot so:

- `M5.Lcd.getTouchRaw(touchpoint,5)` // Bere do 5 točk dotika v polje
- `M5.Touch.getcount()` // Vrneštevilo točk dotika
- `M5.Touch.getTouchPointRaw(i)` // Pridobi podatke o položaju posamezne točke dotika na več ravneh zahtevnosti:
 - » Z uporabo `displayrazreda` (vključenega v M5GFX knjižnici)
 - » Z uporabo `Canvasrazreda` (vključenega v M5GFX knjižnici)
 - » V dokumentih TAB5 ni nobene omembe LGVL, zato domnevam, da podpora še ni na voljo.

Razred za prikazovanje ponuja širok nabor funkcij, ki omogočajo izvajanje osnovnih besedilnih in grafičnih operacij. V tabeli 1 je naveden le majhen del teh ukazov za prikazovanje. Vsi ukazi imajo dokumentacijo o njihovi uporabi, parametrih itd. Celoten seznam je na voljo na:

- *M5GFX API[2]:* https://docs.m5stack.com/en/arduino/m5gfx/m5gfx_functions



drawBitmapFile	drawPNGFile	loadFont	progressBar
clearDisplay	drawJPGFile	createGradient	drawChar
drawCircle	drawLine	drawPixel	drawRoundRect
fillCircle	setTextColor	setTextSize	drawFloat
drawNumber	drawstring	Print	printf
fillRoundRect	qrCode	fillScreen	setTextScroll

Tabela 1: Majhen del ukazov za prikaz

Razred Canvas ponuja višjo raven grafičnih zmogljivosti. V bistvu omogoča upodabljanje zunaj zaslona, tako da lahko postavitev zaslona sestavite v pomnilniškem predpomnilniku in nato celotno sliko v enem samem koraku prenesete na zaslon. S pomočjo dvojnega predpomnilnika se s tem odpravijo vidni prelomi ali artefakti.

Canvas podpira tudi duhove (angl. sprite) s prozornim ozadjem, ki se lahko premikajo po zaslonu, ne da bi motili ozadje. Podpira tudi vrtenje, spreminjanje velikosti in povečavo/pomanjšanje duhov ter samodejno pomikanje besedila znotraj območja platna. TAB5 vsebuje 32 MB PSRAM-a, ki ga razred Canvas uporablja privzeto.

Med uporabe razreda Canvas spadajo:

- **Uporabniški vmesniki nadzorne plošče** – prikazovanje zapletenih merilnikov, grafikonov ali podatkovnih odčitkov zunaj zaslona.
- **Igre na osnovi duhov** – animirajte karakterje/objekte brez utripanja.
- **Večplastni prekrivni sloji** – prikaz polprosojnih HUD elementov na statičnem ozadju.
- **Gladko pomikanje po seznamih** – predhodno upodabljanje dolgih seznamov v visokem pogledu in pomikanje po področju prikazovanja.
- **Dvojno predpomnjenje** – celoten okvir v ločljivosti 1280x720 se najprej prikaže na zaslonu, nato pa se izvede zamenjava, da se odpravijo motnje pri prikazovanju.

Ko naložite knjižnico M5GFX za Arduino, dobite tudi številne pisave za zaslon. Na voljo so pisave v velikosti od 9 do 24 pt v različicah z enakomernim razmakom, krepko, poševno, serif in sans-serif. Na voljo so tudi pisave DejaVu, ki segajo do 72 pt. Na voljo so tudi pisave za kitajske znake, ki sem jih preizkusil. Obstaja ukaz `display.setTextSize` ki vam omogoča, da po potrebi povečate pisave. Na zaslonu TAB5 velikost pisave 32 zagotavlja zelo berljivo besedilo tudi na večji razdalji od zaslona.

Za uporabo teh pisav uporabite naslednji ukaz:

```
display.setFont(&FreeMonoBold24pt7b)
```

Opazite predpono z znakom »&« – to je kazalec. Te pisave najdete v naslednji mapi (ki se nahaja v mapi »Library« Arduina):

```
M5GFX/src/lgfx/Fonts
```

Poraba energije

Po obravnavi zaslona naprave TAB5 je treba omeniti, da je poraba energije naprave TAB5 v veliki meri odvisna od svetlosti zaslona. TAB5 vsebuje čip za spremljanje toka INA226, ki je nastavljen za merjenje toka in napetosti akumulatorja. Vnaprej nameščen demonstracijski program odčitava tako napetost kot tok akumulatorja in ju prikaže v zgornjem delu zaslona. Proces praznjenja ali polnjenja akumulatorja lahko spremljate s pomočjo predznaka trenutne vrednosti toka. V tabeli 2 so prikazane vrednosti, ki sem jih izmeril pri različnih stopnjah svetlosti zaslona. Stopnja svetlosti 20 % je najnižja, ki jo omogoča predstavitveni program, in jo štejem za najnižjo uporabno vrednost za normalno osvetljen prostor.

Display Brightness	Battery current	USB-C current
20%	250 mA	350 mA
40%	275 mA	417 mA
60%	300 mA	470 mA
80%	349 mA	530 mA
100%	380 mA	600+ mA
Off (deep sleep)	Not Avail.	3.82 mA

Tabela 2: Vrednosti, ki sem jih izmeril pri različnih stopnjah svetlosti zaslona

Pri 100 % svetlosti TAB5 porabi več kot 600 mA, ko uporablja USB-C priključek. Kabli, ki jih imam za merilnik porabe Joulescope, mi omogočajo le uporabo USB-A priključka za napajanje naprave TAB5. Vrata USB-A na mojem računalniku zagotavljajo le 500 mA, vrednost 600 mA in več, prikazana v tabeli 2, pa traja le približno sekundo, preden se vrata USB-A izklopijo in se tudi TAB5 izklopi.

Upoštevajte, da je LiPo baterija tipa NP-F550 z napetostjo 7,4 V, ki napaja stikalni napetostni regulator SY8113, ki proizvaja 5 V za TAB5. Zato bo tok iz baterije manjši od tistega, ki bi ga dobili, če bi uporabljali zunanji 5-voltni napajalnik ali če bi napajanje dobivali prek vmesnika USB-C.

Ko je TAB5 izklopljen, ne glede na to, ali se napaja z baterijo ali prek USB-C, se napajanje celotne plošče dejansko ne izklopi. Namesto tega se ESP32P4 preklopi v način globokega spanja, nekatere periferne naprave pa se onemogočijo (Wi-Fi procesor ESP32C6, avdio ojačevalnik NS4150 in morebiti še druge). Z merilnikom porabe energije Joulescope sem izmeril mirovni tok v tem »izklopljenem« stanju, ki znaša 3,8 mA. Glede na kapaciteto LiPo baterije, ki znaša 1900 mAh, bi to

moralo zagotoviti približno 500 ur delovanja baterije v »izklopljenem« stanju.

Glede na to, da TAB5 v stanju »izklopljen« (globoki spanec) porabi 3,8 mA, je upravičeno vprašanje, ali bi se LiPo baterija lahko prekomerno izpraznila, če bi TAB5 ostal brez nadzora več kot 500 ur v stanju »izklopljen«. Podobno, če bi izvajali testno skico, v kateri se na zaslonu ne bi prikazovala nobena vsebina, in bi odklopili kabel USB-C, vendar pozabili nato izklopiti TAB5, kaj bi se zgodilo?

Tukaj sta dve zaščitni funkciji, ki ju vsebuje TAB5:

- *Prag za izklop strojne opreme – Firmware naprave TAB5 prekine napajanje pri napetosti 6,0 V. S tem se prepreči, da bi se baterija med običajno uporabo izpraznila do kritično nizke napetosti.*
- *Stanje zaščite baterije – Ko se baterija prekomerno izprazni pod 6 V, preide v zaščiteno stanje, vezje za polnjenje pa preklopi v način vzdrževalnega polnjenja (nizki tok). Za ponovno polnjenje odstranite baterijo, ponastavite napravo, jo ponovno vstavite in nato napolnite prek vmesnika USB C.*

Upoštevajte, da se LiPo baterija polni le, kadar je naprava TAB5 priključena na vrata USB-C in deluje. Ko je naprava TAB5 izklopljena, se baterija ne polni.

Avdio zmogljivosti

Na začetku članka sem omenil različne zvočne zmogljivosti. Vse je mogoče preizkusiti s pomočjo vnaprej nameščenega demonstracijskega programa. Zvočne zmogljivosti plošč drugih proizvajalcev, ki vsebujejo mikrokontroler ESP32P4 in priključene kodek čipe, običajno podpira Espressifov IDF. TAB5 vsebuje tako avdio ADC ES7210 kot tudi kodek ES8388, podpora za to kombinacijo pa je na voljo v Espressifovem IDF.

Vendar pa M5Stack ponuja tudi podporo za Arduino v zvezi z avdio funkcijami TAB5. Ko sem si ogledal »Primere za prilagojene knjižnice« – M5Unified, sem preizkusil primer »Mic_FFT«. Gre za kompleksno skico, ki vklopi mikrofone, zajame zvočni signal in na njem izvede FFT-transformacijo. FFT pretvori zvočni vzorec v frekvenčno domeno. Na zaslonu so štiri okna. V zgornjem oknu je prikazana prevladujoča zvočna frekvenca, ki se zazna, in sicer z majhno pisavo, ki je bila močno povečana. Drugo okno vsebuje X-Y graf, na X osi je prikazana frekvenca, na Y osi pa amplituda (izhod FFT). Tretje okno je zanimivo: vsebuje prikaz v obliki slapa. Ta prikaz prevzame podatke o frekvenci in amplitudi iz okna 2, pretvori amplitudo v barvni odtenek in te podatke postavi v okno, vrstico za vrstico, ter se s časom pomika navzdol. Preprosto poiščite v Googlu »Waterfall display«, da vidite, kako prikazuje podatke. V spodnjem oknu je graf amplitud signala v odvisnosti od časa. Hitrost, s katero TAB5 prikazuje te štiri grafe, je neverjetna!

Ta primer naj bi ob zagonu računalnika oddal »pisk«. Uporablja naslednji ukaz:

```
M5.Speaker.tone(440, 100);
```

Vendar to ni delovalo. V ločeni skici sem poskusil naslednje:

```
M5.begin();
M5.Speaker.begin();
    M5.Speaker.setVolume(128);
    M5.Speaker.tone(880, 1000);
```

To je samo po sebi delovalo brez težav. Ko sem v vzorčni skici Mic_FFT dodal dodatne vrstice, še vedno ni bilo slišati nobene-ga zvoka. Vendar sem opazil, da je bilo malo nižje v skici vezje mikrofona inicializirano z naslednjim ukazom:

```
M5.Mic.config(cfg);
```

Ta inicializacija mikrofona nastavi DMA predpomnilnike in konfigurira I2S vmesnik za avdio ADC ES7210, ki upravlja z dvema mikrofonom. I2S vmesnik uporabljajo tudi rutine M5.Speaker, zato rutina za inicializacijo mikrofona moti konfiguracijo I2S, ki jo uporablja rutina M5.Speaker. Potem ko sem vstavil 1 sekundni zamik po ukazu:

```
M5.Speaker.tone(880, 1000);
```

je skica ob zagonu oddala 1-sekundni pisk. Nato, 1 sekundo kasneje, je nadaljevala z izvajanjem glavnega dela kode, ki se nanaša na zbiranje zvoka. Kasneje, v drugem primeru, sem opazil, da M5Stack priznava, da mikrofona in zvočnika ni mogoče uporabljati hkrati. Pri delu z drugimi mikrokontrolerji sem to avdio omejitev prav tako že občasno opazil.

M5Stack se sklicuje na ES7210 kot procesor za odpravo odmeva. ES7210 proizvaja podjetje Everest Semi, v njihovem tehničnem listu pa je opisan kot 4 kanalni analogno-digitalni pretvornik (ADC). Čeprav je v napravi prikazan DSP blok, ni nobene omembe o odpravi odmeva ali kakršni koli obdelavi zvoka.

Primer »Speaker_SD_wav_file« (ki se nahaja v razdelku knjižnice M5Unified v Arduinovi rubriki »Primeri za prilagojene knjižnice«) ne bo deloval, saj je namenjen drugim M5 ploščam, ki vsebujejo SD kartico povezano prek SPI vmesnika. TAB5 uporablja SDIO vmesnik. Ta primer bi bilo mogoče predelati tako, da bi uporabljal rutine za SD kartice, ki so posebej namenjene SDIO vmesniku, ki ga uporablja vtičnica za uSD kartico. V naslednjem poglavju bom na kratko obravnaval zmogljivosti plošče M5 v zvezi z uSD karticami.

Testiranje uSD kartice

Delovanje vtičnice za uSD kartico sem že preveril na obeh razvojnih ploščah ESP32P4, o katerih sem pisal v 1. delu te serije. Prejšnje razvojne plošče ESP32xx so pogosto vsebovale vtičnico za uSD kartico, vendar je bila ta običajno priključena na SPI vmesnik čipa ESP32.

Vtičnica za uSD kartico na TAB5 plošči je priključena na SDIO vmesnik Slot1 na ESP32P4. SDIO vmesnik Slot1 ima fiksno dodelitev GPIO pinov, kar je odlično, saj to pomeni, da primerne testne skice za SD kartice ni treba ponovno konfigurirati za uporabo GPIO pinov. Ker so vse tri razvojne plošče ESP32P4 v tem pregledu uporabljale vmesnik SDIO Slot1, je

vzorčni program Arduina »SDMMC_Test« v vseh primerih deloval pravilno. Program »SDMMC_Test« je na voljo v razdelku »Primeri za M5Tab5«.

Iz radovednosti sem primerjal čase branja in pisanja na uSD kartico pri napravi TAB5 s tistimi, ki sem jih izmeril z zaslonom 4D Systems ESP32-P4. Ker sta obe napravi uporabljali isti mikrokontroler ESP32-P4 in ista SDIO vmesniška vrata, sem pričakoval, da bodo časi podobni. Nekoliko me je presenetilo, da je bila TAB5 naprava pri obeh operacijah dvakrat hitrejša:

```
TAB5: 1 MB Write - 2715 ms   1MB Read- 473 ms
4D Systems ESP32-P4 displej:
1 MB Write- 4934 ms   1 MB Read- 834 ms
```

Vtičnica TAB5 za uSD kartice je vzmetna vtičnica tipa »push in/push out«. Ko je uSD kartica vstavljena, je skoraj v isti ravni z ohišjem, zato jo je treba za izvlačenje potisniti navznoter s nohtom. Poleg tega je treba uSD kartico vstaviti tako, da so njeni kontakti usmerjeni proti sprednji površini naprave.

Testiranje Wi-Fi

Podjetje Espressif je razvilo lastno razvojno ploščo ESP32P4 za priključitev Wi-Fi procesorja ESP32C6 prek SDIO vmesnika na plošči ESP32P4. ESP32C6 je nov, cenovno ugoden član družine ESP32, ki podpira Wi-Fi (vključno z Wi-Fi 6), BLE, Matter in Zigbee. Ko je ESP32C6 vgrajen na razvojno ploščo ESP32P4, je že vnaprej programiran kot podrejeni procesor za Wi-Fi/Bluetooth. Pri uporabi standardnih funkcij Arduino ESP32 Wi-Fi API z ESP32P4, bo prevajalnik ustvaril kodo, ki podpira Wi-Fi podrejeni procesor ESP32C6. Zato je dejstvo, da Wi-Fi upravlja ločena naprava, za uporabnikovo aplikacijo neopazno.

TAB5 uporablja SDIO vmesnik na reži Slot2 za povezavo z Wi-Fi procesorjem ESP32C6 (podobno kot drugi dve plošči ESP32P4, obravnavani v 1. delu). Pini SDIO na reži Slot2 so preusmerjeni prek krmilnika matrike GPIO procesorja ESP32P4. Pini SDIO na plošči TAB5 so se razlikovali od tistih na drugih dveh ploščah. Zato je moj prvi poskus testiranja Wi-Fi-ja z uporabo primerov iz razdelka »Primeri za M5Tab5« spodletel. V programu 1 prikazujem začetni del kode, ki je potreben za konfiguracijo Wi-Fi rutin za določene SDIO pine, ki se uporabljajo na TAB5. Ko je ta koda vgrajena, Wi-Fi rutine delujejo pravilno.

Program 1: Začetni del kode za pravilno delovanje Wi-Fi

```
#include <M5Unified.h>
#include <WiFi.h>

// Define the precise SDIO internal pins
// linking the ESP32-P4 to the ESP32-C6 module
#define SDIO2_CLK GPIO_NUM_12
#define SDIO2_CMD GPIO_NUM_13
#define SDIO2_D0 GPIO_NUM_11
#define SDIO2_D1 GPIO_NUM_10
#define SDIO2_D2 GPIO_NUM_9
```


demonstracijsko aplikacijo ter številne druge zanimive aplikacije in igre za TAB5. Te binarne datoteke lahko prenesete na svoj računalnik ali jih prek USB-ja neposredno naložite na TAB5 (vsaj v primeru demo različice).

Vendar pa TAB5 ni v vseh pogledih popoln. Čeprav je podpora za Arduino pri TAB5 velika prednost, dejstvo, da se glavna knjižnica imenuje »M5unified«, pomeni, da je bila napisana za podporo velikemu številu modulov M5Stack. To pomeni, da boste ugotovili, da rutine iz knjižnice M5Stack in z njimi povezani primeri pogosto ne bodo delovali s TAB5.

Med preizkušanjem TAB5 sem naletel na M5 Chatbot. Moje izkušnje s spletnimi chatboti so bile na splošno slabe, zato ga

sploh nisem poskusil. Morda boste želeli tega chatbota preizkusiti, če imate vprašanja o TAB5 ali katerem koli drugem modulu M5Stack.

Bilo je praktično enako kot komunikacija s strokovnjakom za podporo M5, le da je chatbot odgovoril v nekaj sekundah. Ugotovil sem sicer, da je naredil številne napake, ki sem jih uspel opaziti. Povezava do tega chatbota je:

- <https://chat.m5stack.com/>

Viri:

- 1: <https://docs.m5stack.com/en/uiflow/m5burner/intro>
- 2: https://docs.m5stack.com/en/arduino/m5gfx/m5gfx_functions



KNJIŽNI SEJEM



Tehniška založba
Slovenije

Izognite se gneči in nas obiščite v naši knjigarni ali na spletni strani.

Za vas smo pripravili izjemno bogat in pester izbor knjig po izjemnih, znižanih cenah.

KDAJ?

Od 23. novembra
do 4. decembra

KJE NAS NAJDETE?

Knjigarna TZS
Lepi pot 6, Ljubljana
delovni čas:
pon-pet: 8.00 - 11.00
in 12.00 - 15.00

www.tzs.si

NE PREZRITE!
V KNJIGARNI IMATE MOŽNOST
NAKUPA POŠKODOVANIH KNJIG
DO **90 % POPUSTA!**



AI modeliranje mikrofonskega predojačevalnika na osnovi čipa EMD4DXV6T1

Avtor: dr. Simon Vavpotič

Modeliranje mikrofonskega predojačevalnika na osnovi čipa EMD4DXV6T1 s pomočjo umetne inteligence (AI) in simulacije v okolju LTspice predstavlja sodoben in učinkovit inženirski pristop, ki združuje klasično ročno načrtovanje z naprednimi metodami AI.

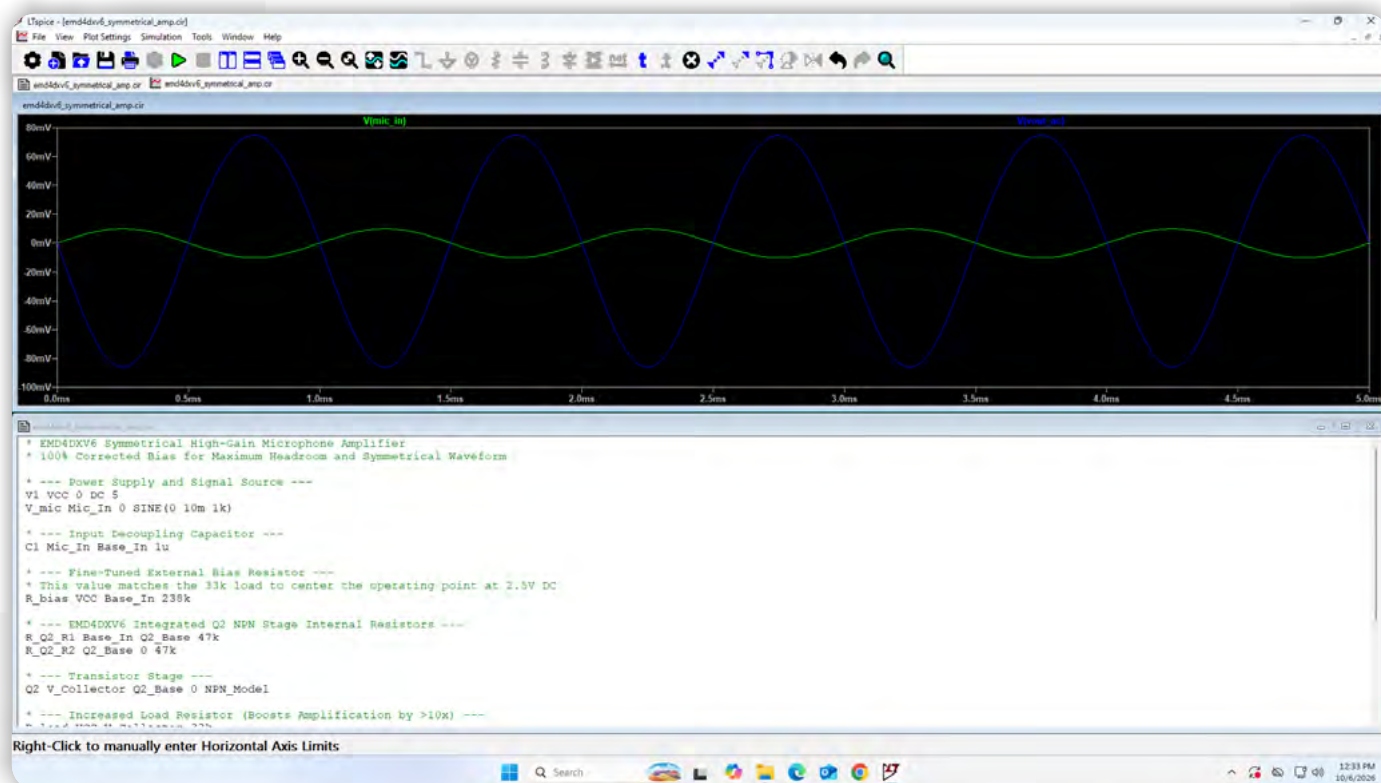
Čip EMD4DXV6T1 podjetja Onsemi, ki je bil podrobneje predstavljen v reviji Svet elektronike 355, predstavlja specifično komponento – gre za t.i. BRT (Bias Resistor Transistor, slov. uporovno-tranzistorsko vezje z nastavitvijo delovne točke) digitalni tranzistor, ki v enem ohišju SOT-563 združuje dva komplementarna tranzistorja (NPN in PNP) z integriranimi baznimi in emitorskimi upori. Čeprav so ti tranzistorji primarno zasnovani za preklopna digitalna vezja in varčevanje s prostorom, jih je mogoče z natančnim linearnim vodenjem delovne točke pretvoriti v izjemno kompakten in kakovosten nizko-šumni mikrofonski predojačevalnik z napajalno napetostjo 5 V. Z vezavo zunanjih uporov lahko karakteristike vezja tudi nekoliko prilagodimo.

SPICE

Čeprav orodje SPICE za modeliranje in posnemanje delovanja električnih vezij izvira že iz sedemdesetih let preteklega

stoletja, so njegove posodobljene različice še danes atraktivne in nadvse uporabne tudi pri načrtovanju elektronike za domačo rabo. Tokrat smo se odločili za uporabo izpeljanke Ltspice podjetja Analog Devices, ki je popularna ne le zaradi že vgrajenih knjižnic električnih elementov in komponent (predvsem čipov), ampak tudi zato, ker omogoča definicijo novih komponent in ustvarjanje lastnih knjižnic. Tako še zdaleč ni nujno, da pri delu uporabimo zgolj komponente Analog Devices. Obenem so na voljo LTspice različice za vse glavne operacijske sisteme, med katerimi sta tudi Windows 11 in Mac OS.

Za Windows 11 je na voljo tudi različica za arhitekture ARM64, zaradi česar lahko orodje poganjamo tudi v vseh SBC z dovolj pomnilnika (4 GB ali več), na katere lahko namestimo ta operacijski sistem. Sam sem LTspice pogajal na Orange Pi 6 s 8 GB RAM in Raspberry Pi 5 z 16 GB RAM; pri čemer je na slednjem Windows 11 tekel na virtualnem računalniku pod Raspberry



Slika 1: Prenosna karakteristika mikrofonskega ojačevalnika na osnovi čipa EMD4DXV6 z 10-kratnim napetostnim ojačenjem.

Pi OS. LTspice sicer za udobno delo ne zahteva velikih procesorskih zmogljivosti, le odzivno 2D grafično okolje.

Kako AI pomaga?

AI uporabljamo kot orodje za optimizacijo nelinearnih parametrov, generiranje simulacijskih modelov in avtomatizacijo analiz v programu LTspice. V prvem koraku pripravimo natančen besedni opis naloge, ki jo mora za nas opraviti AI, denimo: »Izdelaj kakovosten mikrofonski ojačevalnik z 10-kratnim napetostnim ojačenjem na osnovi čipa EMD4VXD6 proizvajalca Onsemi. Potrebujem simulacijski model za orodje LTspice, v katerem bo ojačevalnik prehodno preizkušen. Potrebujem tudi shemo ojačevalnika z vsemi komponentami.«

Ne glede na trenutne pomanjkljivosti AI, ki v večini primerov vsaj v prvem koraku na osnovi tekstovnega opisa še ne ponudi uporabne rešitve, ta lahko za nas opravi večino dela. Če z rezultatom nismo zadovoljni, lahko AI to opišemo s pomočjo slikovnih, tekstovnih ali drugih zapisov, ki jih lahko v pogovorno okno pripnemo tudi v obliki datoteke. Če hočemo, na primer AI povedati, da izdelano vezje sicer deluje, vendar ne zagotavlja zahtevanega ojačenja, lahko posnamemo sliko zaslona, ki katere sta razvidna poteka vhodnega in izhodnega signala in jo pripnemo v pogovorno okno, v katerega še zapišemo: »Ojačevalnik je zagotavlja zahtevanega napetostnega ojačenja, ki bi moralo biti 10x«. Nato počakamo na popravek modela. Po nekaj iteracijah bodo tako prišli do ustrezne rešitve tudi tisti z manj elektrotehničnega znanja.

Arhitektura in posebnosti čipa EMD4DXV6T1 v analogni domeni Preden v načrtovanje vključimo UI, moramo natančno razumeti fizikalne omejitve komponente. EMD4DXV6T1 vsebuje en NPN tranzistor z vgrajenim zaporednim baznim uporom (R1) in bazno-emitorskim uporom (R2) ter en PNP tranzistor z enako konfiguracijo uporov. Tipične vrednosti integriranih uporov znašajo, formula 1:

$$R1=2.2k\Omega, R2=47k\Omega$$

Izziv pri predojačevalniku: Ker so upori fiksni in zaprti znotraj ohišja, klasičnih metod nastavljanja prednapetosti (biasa) preko zunanjih delilnikov napetosti ne moremo uporabiti neposredno na bazi tranzistorja. Zunanji elementi morajo delovati skozi vgrajeni upor R1. To močno vpliva na vhodno impedanco vezja, ki bo zaradi nizke vrednosti R1 razmeroma majhna, kar pa je za nekatere nizkoimpedančne dinamične mikrofone (npr. 150 Ω - 600 Ω) pravzaprav ugodno.

Vloga umetne inteligence pri modeliranju in optimizaciji

Generiranje SPICE modelov na osnovi podatkovnega lista (Datasheet)

Onsemi včasih ne zagotavlja uradnih, podrobnih analognih SPICE modelov za digitalne preklopne tranzistorje. UI lahko uporabimo za povratno inženirstvo SPICE parametrov (.MODEL). Veliki jezikovni modeli (LLM) ali specializirani Python skripti lahko iz statičnih grafov podatkovnega lista izračuna-

jo ključne tranzistorske parametre, kot so napetost zgodnjega učinka (VAF), tok nasičenja (IS), idealni koeficient emisije (NF) in tranzitni čas (TF).

Optimizacija komponent z genetskimi algoritmi

Določanje zunanjih komponent (sklopni kondenzatorji, povratna vezava, delilniki napetosti za delovno točko) je idealna naloga za optimizacijske algoritme, vodene s strani UI. Preko Python vmesnika (PySpice) lahko UI spreminja vrednosti zunanjih elementov, zaganja LTspice v ozadju in minimizira namensko funkcijo (Cost Function), ki je definirana kot, formula 2:

$$\text{Cost} = w1 \cdot \text{THD} + w2 \cdot V_{\text{Av}} - 40\text{dB} \cdot V_{\text{V}} + w3 \cdot \text{Noise}$$

Implementacija in simulacija v programu LTspice

Za napajalno napetost 5 V je potrebno delovno točko (bias) znotraj čipa EMD4DXV6T1 nastaviti izjemno natančno. Ker imamo na voljo razmeroma nizek napajalni nivo, moramo maksimirati dinamični razpon, da preprečimo prezgodnje popačenje (rezanje) signalnih vrhov. Pri 5 V napajanju je cilj UI-optimizacije nastaviti enosmerno (DC) napetost na kolektorju prvega tranzistorja na približno 2.2 V - 2.5 V. To omogoča simetričen hod izhodnega signala.

Poglejmo optimiziran spisek vozlišč za orodje LTspice, ki ga je izdelal Googlov Gemini 3:

```
* Mikrofonski Predojačevalnik z EMD4DXV6T1
(5V Napajanje)
* --- NAPA JANJE IN VHODNI SIGNAL ---
Vcc Vcc 0 DC 5
Vin In_Signal 0 SINE(0 2m 1k) AC 1

* --- VHODNA SKLOPNA VEZAVA ---
C1 In_Signal B_EXT 10u

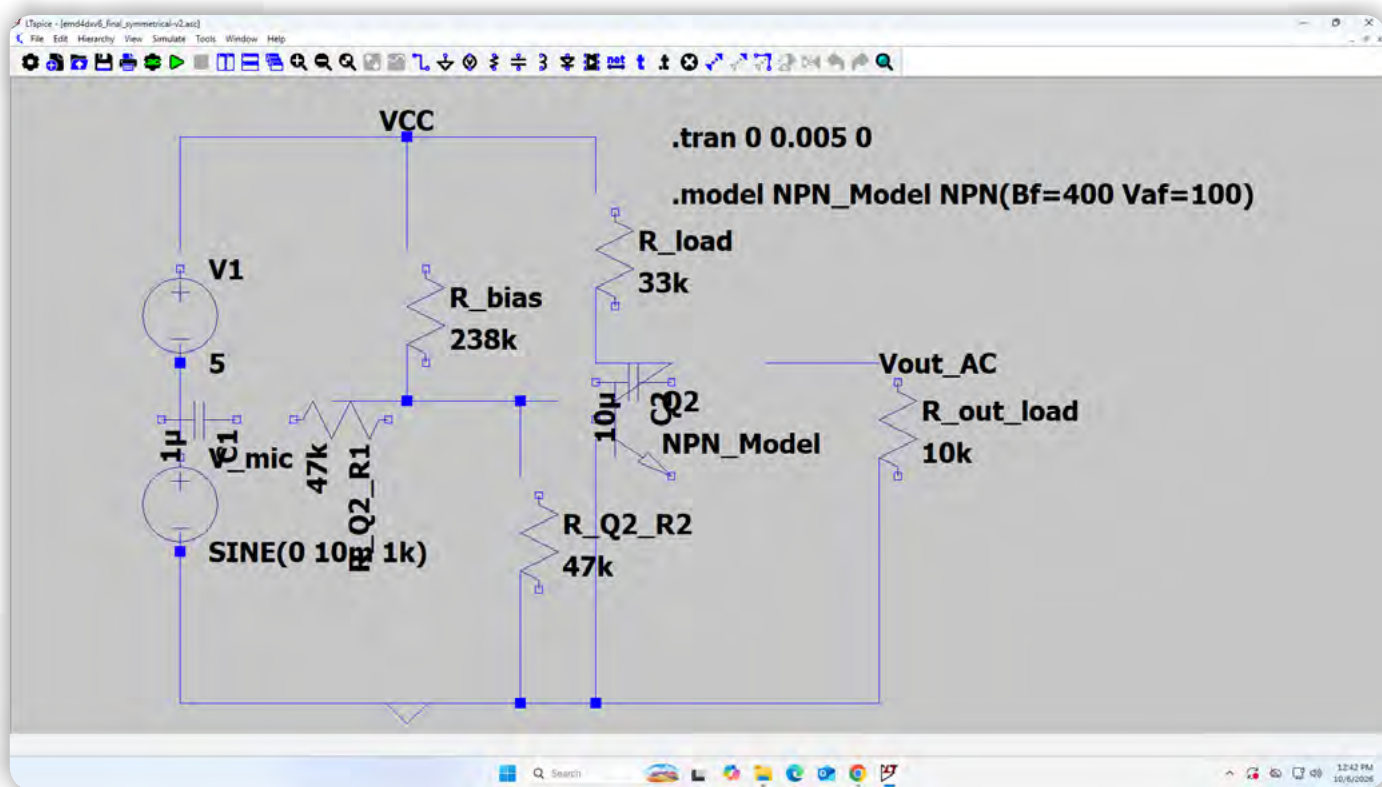
* --- MODEL TRANZISTORJA (EMD4DXV6T1 - NPN
del) ---
R1 B_EXT B_INT 2.2k
R2 B_INT 0 47k
Q1 Coll B_INT 0 Q_NPN_OPTIMIZED

.MODEL Q_NPN_OPTIMIZED NPN(Is=10f Xti=3
Eg=1.11 Vaf=90 Bf=350 Ikf=15m Cjc=4p Cje=5p
Rb=10 RC=0.5)

* --- ELEMENTI ZA NASTAVITEV DELOVNE TOČKE
IN OJAČANJA ---
Rc Vcc Coll 2.7k
Rf Coll B_EXT 120k
Cf Coll B_EXT 15p

* --- IZHODNI DEL ---
C2 Coll Out 4.7u
R_load Out 0 10k

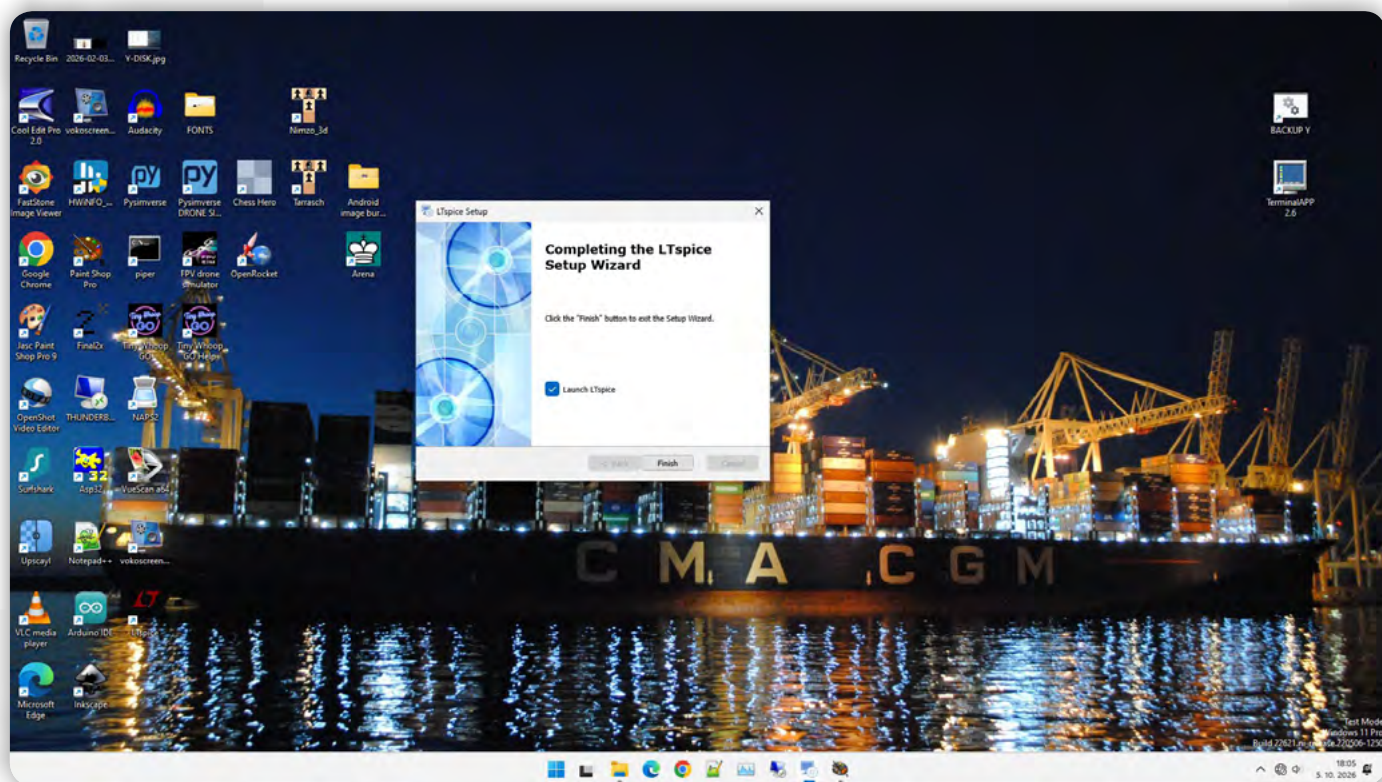
* --- SIMULACIJSKI UKAZI ---
```



Slika 2: Z AI izdelan model vezja, ki pred preizkušanjem zahteva še nekaj ročnih popravkov.

```
.tran 0 5m 0 1u
.ac dec 20 10 100k
.noise V(Out) Vin dec 20 10 20k
```

```
* --- ANALIZA POPAČENJA (THD) pri 1 kHz ---
.four 1k V(Out)
.end
```



Slika 3: Namizje Windows 11 na Orange Pi 6 Plus po uspešni namestitvi LTspice.

Simulacijo v LTspice lahko izvedemo, spisek shranimo v datoteko tipa *.cir. Dodajmo še, da smo poleg vgrajenih upornosti uporabili tudi zunanje upore in kondenzatorje, ki so opredeljeni kot elementi za nastavitve delovne točke. Vezje smo testirali z zunanjim bremenom 10 k Ohmov, kar je običajno izhodna upornost avdio predojačevalnikov.

Od Geminija lahko zahtevamo tudi izdelavo električne sheme z grafično predstavitevijo, za kar potrebujemo datoteko tipa *.asc. Žal rezultati v tem primeru niso najboljši, kar lahko vidimo tudi na sliki 2.

Verifikacija in analize (Simulacijski protokoli)

Frekvenčni odziv preverja pasovno širino v območju od 20 Hz do 20 kHz z znotraj tolerančnega območja ± 1 dB. Tranzientna analiza in THD: Izračuna harmonsko popačenje s pomočjo ukaza .four 1k V(out). AI pomaga zagotoviti THD < 0.1 % z optimizacijo DC delovne točke. Analiza šuma določa ekvivalentni vhodni šum (EIN). Zaradi integriranega R1 znaša EIN okoli -115 dBV, kar je idealno za standardne govorne aplikacije.

Javni ali zasebni AI? Se spleča?

Čeprav smo prepričali smo se o visoki zmogljivosti javnih AI, kot je Googlov Gemini 3, včasih želimo zmogljiv AI model namestiti v lasten računalnik in se tako zaščititi pred morebitnim puščanjem naših internih zamisli, znanja in modelov v javni internet. Vendar to zahteva znatna vlaganja v strojno opremo. Že za sorazmerno skromno zmogljivost AI procesiranja okoli 100 TOPS (10 na 14 operacij na sekundo) bomo odšteli nekaj 100 evrov.

A upoštevati moramo tudi delo za prenos ustreznega AI modela iz spleta ter njegovo namestitev in namestitev vse ostale potrebne programske opreme. Prednost zastojnih javnih AI modelov je predvsem v tem, da so ves čas posodobljeni in pripravljeni za uporabo kot storitev. Res pa je, da se lahko učijo tudi na našem znanju in izkušnjah. Vseeno, lahko predstavlja racionalna uporaba AI modelov pri načrtovanju električnih vezij bistveno konkurenčno prednost, saj se lahko z njo izognemo številnim enostavnim postopkom, pri čemer dobljeno rešitev le še »izpilimo« do končne praktično uporabne oblike ...

YouTube kanal: <https://youtube.com/@pcusbprojects>
Spletna stran: <https://pcusbprojects.com>



Najpopolnejši Arduino KIT za nadebudne programerje

Vsebuje:

- displeje (LED, LCD, matrični)
- motorje (servo, koračne, DC)
- IR oddajnik in sprejemnik
- VF oddajnik in sprejemnik
- drobni material



AX elektronika d.o.o.





**BREZPLAČNA
POŠTNINA!**

POSEBNA PONUDBA

Ob nakupu knjige vam pripada
BREZPLAČNA poštnina





programming has never been easier

Smo uradni zastopnik za ELNEC v Sloveniji!

BeeProg3



70-0074



BeeProg4



BeeProg4C



BeeProg204P



70-0036



AX, d.o.o. • Depala vas 39 • 1230 Domžale • 01 528 56 88 • <https://trgovina.svet-el.si> • stik@svet-el.si

 AX ELEKTRONIKA